論　文

液晶ディスプレイ用サンプリング回路におけるサンプリングパルスとトランジスタサイズの最適設計手法

高橋　真吾[†a)]　築山　修治[†b)]　橋本　昌宜[††]　白川　功[†††]

An Optimal Design Method of Sampling Pulse and Transistor Size in a Sampling Circuit for Liquid Crystal Displays

Shingo TAKAHASHI[†a)], Shuji TSUKIYAMA[†b)], Masanori HASHIMOTO[††], and Isao SHIRAKAWA[†††]

あらまし　液晶ディスプレイ用ソースドライバ回路の設計では，表示品位を決定する画素充電率（ビデオ信号に対する画素電位の割合）を，ビデオ信号の書込み状態や，電圧及びトランジスタ性能のばらつきなど，様々な条件のもとでも，可能な限り 100%に近づけることが重要となる．本論文では，画素充電率を決めるサンプリングトランジスタの幅とサンプリングパルスの形状を最適化する手法を提案する．提案手法は，画素充電率の変動を正確に求めるため，SPICE などの回路解析手法を効率的に用いるもので，画素充電率の 100% からの変動幅を最小化するようなトランジスタ幅とパルス形状の組を複数個生成し，各組に対して，バッファ回路設計用の指標を与える．この指標の良いもの順にバッファ回路を設計することにより，これらの組の中から，バッファ回路とサンプリング回路の両方を最適化する組を見出すことができる．また，提案手法の性能評価実験の結果も示す．

キーワード　アクティブマトリックス LCD，CAD ツール，サンプリングパルス，サンプリングスイッチ，バッファ回路

1. まえがき

液晶ディスプレイ用ソースドライバ回路の設計では，ビデオ信号の異なる書込み状態において，表示品位を決定する画素充電率（ビデオ信号に対する画素電位の割合）を，電圧やトランジスタ性能などの回路定数がばらついても，可能な限り 100% に近づけることが重要となる [1]．我々は，[1] において，この画素充電率を決めるサンプリング回路の重要な設計パラメータであるサンプリングトランジスタの幅とサンプリングパルスの形状を最適化する手法を提案した．この手法は，種々のばらつきのもとでも画素充電率の変動が指定された制限内に収まるよう，画素充電率を制約条件として扱うもので，サンプリングパルスを整形するバッファ回路の設計をできる限り容易にしつつ，サンプリングトランジスタの幅を最小化する手法であった．しかし，ソースドライバ回路全体の設計を考えれば，サンプリング回路とバッファ回路を同時に最適化すべきであり，実際，バッファ回路が設計可能な範囲で，画素充電率の変動を指定された制限より小さくできることもある．

ソースドライバ回路において，サンプリング回路は表示品位を決定する回路であるから，その設計にはできるだけ正確なトランジスタモデルを用いて，回路解析する必要がある．しかし，このような手法で，ばらつきを考慮しつつ，サンプリング回路とバッファ回路を同時に最適化することは困難である．すなわち，設計対象であるトランジスタ集合に対して，その性能ばらつきのすべての組合せを解析することは実行困難な時間を要するし，サンプリングパルスの立上り立下り時間とサンプリングトランジスタのサイズという互

† 中央大学大学院電気電子情報通信工学専攻，東京都
Graduate School of Electrical, Electronic and Communication Eng., Chuo University, Tokyo, 112–8551 Japan
†† 大阪大学大学院情報科学研究科，吹田市
Graduate School of Information Science and Technology, Osaka University, Suita-shi, 565–0871 Japan
††† 兵庫県立大学大学院応用情報科学研究科，神戸市
Graduate School of Applied Informatics, University of Hyogo, Kobe-shi, 650–0040 Japan
a) E-mail: sint@tsuki.elect.chuo-u.ac.jp
b) E-mail: tsuki@elect.chuo-u.ac.jp

いにトレードオフの関係にあるパラメータの最適化を解かなければならないからである [1]．したがって，SPICE に付属している最適化手法等を用いて，サンプリング回路とバッファ回路を同時に設計することは困難であり，効率的でない．

そのため, [1] では，回路シミュレータを効率的に活用できるように，サンプリング回路とサンプリングパルスに関する設計パラメータを，サンプリングスイッチの nMOS トランジスタの幅 W_n とサンプリングパルスの立上り時間 t_r の二つに縮約し，これら二つの値の組 (t_r, W_n) を 1 個求めた．この組は，バッファ回路の設計が容易になるように，できるだけ長い t_r と，その t_r において，画素充電率の変動が指定された許容範囲 B 以内になるような，できるだけ小さな W_n からなる．しかし，t_r の実現可能範囲及び画素充電率の変動可能範囲内で，(t_r, W_n) には種々の組合せが可能である．

そこで，本文では，画素充電率を制約条件として扱うのではなく，できるだけ 100%に近づけたい値として目的関数に取り込み，その変動をできるだけ抑えるような (t_r, W_n) の組を複数生成する手法を提案する．画素充電率の変動が制約より小さければ，それだけ回路の堅固さが増し，また，複数個の組に対してバッファ回路の設計を行うため，バッファ回路の自由度が増し，回路全体の最適化を図りやすくなる．

このような組を複数個生成した場合，バッファ回路をこれらすべての組に対して設計していたのでは効率が悪い．そこで，各組に対して，設計優先度を示す指標も提案する．この指標は，バッファ回路の最終段の CMOS インバータの面積を見積もった値で，これにより，最終的なバッファ回路全体の面積を予測できる．したがって，この指標の昇順にバッファ回路を設計し，サンプリング回路とバッファ回路の面積の和が増加するようであれば，それ以後の組に対しては，バッファ回路の設計を省くことができる．

以下では，**2.** において，ソースドライバ回路の設計条件と [1] の手法を概説し，設計パラメータを t_r の最大値 $t_{r-\max}$ と W_n の二つにする方法を述べる．**3.** において，提案する手法と指標を説明し，**4.** において，実験結果を示す．最後に，**5.** で，まとめと今後の課題を述べる．

2. 用語等の定義

ここでは，問題の定式化に必要な準備を行うが，詳細は文献 [1] を参照されたい．

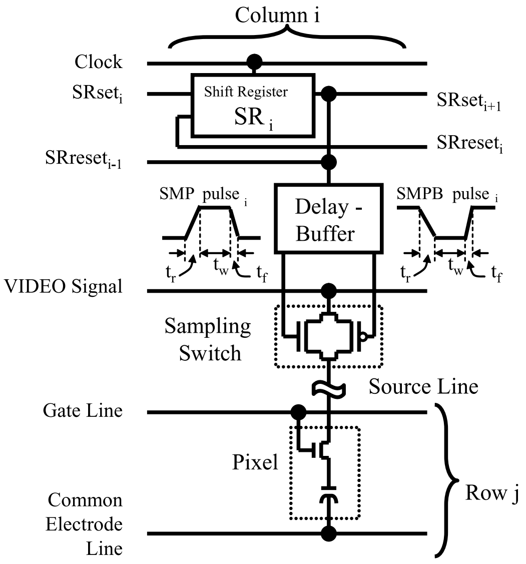

図 1　液晶ディスプレイ用ソースドライバ回路
Fig. 1　A source driver circuit for LCD display.

アクティブマトリックス型液晶ディスプレイのソースドライバ回路の概要を図 1 に示す．以下では，サンプリングスイッチを SMP スイッチと，サンプリングパルスを SMP パルスと略記する．SMP パルスの長さは遅延回路で，立上り立下り時間はバッファ回路で決定される [2]．

液晶透過率を決定する画素電位 V_{px} の取り込むべきビデオ信号 V_{vd} に対する割合 $V_{px}/V_{vd} \times 100$ を画素充電率 (RPV：ratio of the pixel voltage to the video voltage) と呼ぶ．この値をどのような条件下でも 100%に保つ小面積低消費電力の回路を効率良く設計する手法は，小型液晶ディスプレイのようなトランジスタの性能ばらつきが大きい場合 [3]〜[5]，重要である．

画素の共通電極（図 1 の Common Electrode）の電位 V_{com} は，液晶の性能を保つため，高電位と低電位を画面ごとに交互に繰り返す．そこで，画素充電率の変動を考える際，V_{com} の違いによる 2 種類の書込み状態と，ビデオ信号 V_{vd} の典型例として高電位，中電位，低電位の 3 種類を考える．

SMP スイッチの nMOS 及び pMOS トランジスタのゲート幅をそれぞれ W_n 及び W_p とし，それぞれ $\pm\sigma_n$，$\pm\sigma_p$ の範囲でばらつくものとする．これらのトランジスタの SPICE パラメータは，それぞれ Best，Typical，Worst で示されるばらつきをもつものとし，

そのゲート長は指定され，変えることができないものとする．

SMP スイッチの nMOS 及び pMOS のゲートに入力されるパルス（それぞれ SMP パルス及び SMPB パルスと呼ぶ）の形状は，簡単のため，SMPB パルスの立上り 50%時が SMP パルスの立下り 50%時から δ_{SMP} だけ遅れた正負の逆転した台形波形とする．SMP パルスの立上り時間及び立下り時間をそれぞれ t_r 及び t_f で表し，立上りと立下りの間の平たん部分の時間を t_w と表す．SMP パルス及び SMPB パルスの高電位及び低電位をそれぞれ V_{high} 及び V_{low} で表し，これらはそれぞれ $V_{high} \pm v_{high}$ 及び $V_{low} \pm v_{low}$ の範囲でばらつくものとする．

システムクロックの周期で決まる 1 画素分のビデオ信号を取り込むために利用できる時間を T とし，これは，サンプリング回路以外の回路性能のばらつきにより，$T - \tau_T$ に減少する可能性があるものとする．サンプリング方式には，常に SMP スイッチ 1 個だけを開き，1 画素の充電を T 時間以内にする方式と，隣り合う二つの SMP スイッチを同時に開き，前の画素にビデオ信号を充電している期間に，次の画素も充電を始める方式がある．前者を単純サンプリング，後者を 2 倍サンプリングと呼ぶ [1]．

サンプリング回路の設計において決めるべきパラメータは，W_n，W_p，t_r，t_w，t_f，及び δ_{SMP} の六つで，W_n 及び W_p は，バッファ回路設計における負荷トランジスタのサイズとなり，t_r，t_f，及び δ_{SMP} は設計目標値となる．一方，σ_n，σ_p，v_{high}，v_{low}，及び τ_T は設計マージンで，与えられるものとする．また，画素充電率のばらつきを考える上での場合の個数は，2 種類の書込み状態と，3 種類のビデオ電位に，SMP パルスの高電位の 3 種類 $(V_{high}+v_{high}, V_{high}, V_{high}-v_{high})$，SMP パルスの低電位の 3 種類 $(V_{low}+v_{low}, V_{low}, V_{low}-v_{low})$，及びトランジスタモデルの組合せの 5 種類 (nBpB, nBpW, nWpB, nWpW, nTpT) で，その総数は $2 \times 3 \times 3 \times 3 \times 5 = 270$ 通りとなる．ここで，n, p は nMOS と pMOS を，B, T, W はそれぞれ best, typical, worst を表す．

以下では, [1] と同様な手法で，設計パラメータを t_r 及び W_n の二つにする．

画素電位は SMP スイッチが切断される際に生じる電荷注入 (Charge Injection [6], [7]) によって変化する．この影響は，ビデオ電位が一定であれば，W_n と W_p の間に，

$$W_p = a \cdot W_n + b \tag{1}$$

なる関係を与えることにより，抑えることができる [1]．ここで，a，b はビデオ電位に依存して決まる定数で，液晶透過率が最も敏感に変化する画素電圧を与えるビデオ電位 V_{vd} に対して，電荷注入による画素電圧 V_{px} の変化量が最小になるように定める．この関係を課すことにより，W_p は W_n から決定できる．なお，この関係を導入しても，電荷注入による画素充電率の変化が 0 になるのはあるビデオ電位においてだけであり，他のビデオ電位では，SMP パルスの立下り後，画素充電率が 100%を超えることもある．したがって，画素充電率の変動を考える場合，最小値だけではなく，最大値にも注意しなければならない．

画素充電率のばらつきを考える場合，t_r，t_f，及び δ_{SMP} に対しては，これらの上限値 $t_{r-\max}$，$t_{f-\max}$ 及び $\delta_{\mathrm{SMP-max}}$ を決めておけばよい．なぜなら，SMP パルスの長さ $t_r + t_w + t_f$ を許容可能な最大値とするので [1]，t_r，t_f 及び δ_{SMP} の値は短ければ短いほど，画素の電位を所望の値に近づけやすい．したがって，t_r，t_f 及び δ_{SMP} がこれらの上限値より小さければ，そのときの画素充電率は，上限値をとった場合の画素充電率より小さくなることはない．また，画素充電率が 100%を超えるのは電荷注入が原因であり，その超過量は W_n とビデオ電位に依存する．したがって，t_r，t_f 及び δ_{SMP} が上限値以下になっても，上限値をとった場合より，画素充電率が大きくなることはない．

そこで，これらの上限値を定めるため，SMP パルス立下り 50%時から V_{vd} が次の画素のビデオ電位に変化し始めるまでの時間 t_{s2v} の最小値 $t_{s2v-\min}$ に着目する．この値は通常，回路設計時に制約条件として与えられる．SMP スイッチは，$t_{s2v-\min}$ 以内に閉じ終わらなければならないので，$t_{f-\max}$ 及び $\delta_{\mathrm{SMP-max}}$ は次式を満たす必要がある．

$$t_{f-\max}/2 + \delta_{\mathrm{SMP-max}} \le t_{s2v-\min} \tag{2}$$

$t_{f-\max}$ 及び $\delta_{\mathrm{SMP-max}}$ はどちらも大きい方がバッファ回路の設計が容易であるが，δ_{SMP} が大きくなると，nMOS と pMOS の開閉時刻の差が大きくなるため，小さくしておく必要がある．通常，この値は指定されるので，$t_{f-\max}$ を，

$$t_{f-\max} = 2 \cdot (t_{s2v-\min} - \delta_{\mathrm{SMP-max}}) \tag{3}$$

と定め，できるだけ大きくしておくことにする．ただ

し，提案手法を複数の $\delta_{\mathrm{SMP-max}}$ の値に対して適用し，$t_{f-\mathrm{max}}$ 及び $\delta_{\mathrm{SMP-max}}$ の複数の値の組を考えることは容易である．

$t_{r-\mathrm{max}}$ の最大値は，t_r 及び t_f の和が $T-\tau_T$ を超えてはならないという条件から得られる．t_r+t_f が $T-\tau_T$ を超えると，単純サンプリングの場合には SMP パルスが full swing せず，SMP スイッチが十分に開かない．また，2 倍サンプリングの場合には，一つの SMP スイッチの切断時に，次の画素の SMP スイッチが開き，次の画素の電位が前の画素の電位に影響を与えてしまう．そこで，これらが生じないように，次式を課す．

$$t_{r-\mathrm{max}} \le T-\tau_T-\delta_{\mathrm{SMP-max}}-t_{f-\mathrm{max}}=t_{r-U} \quad (4)$$

SMP パルスの長さ $t_r+t_w+t_f$ はできるだけ長くしておく方が W_n を小さくでき，これによって回路の最適性が損なわれることはないので [1]，$t_r+t_w+t_f$ を限界の値 $k\cdot T-\tau_T-\delta_{\mathrm{SMP-max}}$ に等しくし，t_w の下限値 $t_{w-\mathrm{min}}$ を次式で与えることにする．ここで，k は単純サンプリングの場合 $k=1$，2 倍サンプリングの場合 $k=2$ である．

$$t_{w-\mathrm{min}}=k\cdot T-\tau_T-\delta_{\mathrm{SMP-max}} -t_{r-\mathrm{max}}-t_{f-\mathrm{max}} \quad (5)$$

t_w が $t_{w-\mathrm{min}}$ 以下になると，画素が十分に充電されなくなり，所望の画素充電率が得られないため，遅延回路の設計では，t_w を $t_{w-\mathrm{min}}$ 以上にしなければならない．

一方，t_w に対する上限値は，SMP パルスが長くなり過ぎないことを保証することによって定められ，次式で表すことができる．ここで，k は上と同様の値をとる．

$$t_r+t_w+t_f \le k\cdot T-\delta_{\mathrm{SMP}} \quad (6)$$

これらの SMP パルスに対する制約は，遅延・バッファ回路の設計で利用する．

以上より，W_p は W_n から，$t_{f-\mathrm{max}}$ は $\delta_{\mathrm{SMP-max}}$ から計算でき，t_w の範囲も $t_{r-\mathrm{max}}$ が決まれば決定できるので，決定すべき設計パラメータは，$(t_{r-\mathrm{max}}, W_n)$ の組となる．

3. 設計手法

3.1 目的関数

種々のばらつきのもとで画素充電率の最適化を図るため，ばらつきに関するすべての場合の中で，画素充電率が最大になったときの値 RPV_{max} 及び最小になったときの値 RPV_{min} を考え，これらをできるだけ 100%に近づけることを考える．これらの値は，どのような場合においても，画素充電率がこれらで決まる範囲 $[RPV_{\mathrm{max}}, RPV_{\mathrm{min}}]$ 内であることを保証する．

ある $t_{r-\mathrm{max}}$ に対して，W_n に関する RPV_{min} 及び RPV_{max} の変化は図 2 のようになる．RPV_{min} が，W_n の増加に伴って，一端増加した後減少するのは次のような理由による．W_n が小さいときは，SMP スイッチが開いている時間内に画素を充電できず，画素充電率が低いが，W_n が大きくなるに連れて充電されやすくなり，画素充電率が 100%に近づく．しかし，W_n が更に大きくになると，電荷注入による画素電位の変化が負に大きくなる場合も生じ，画素充電率が悪化し，RPV_{min} が下がる．一方，RPV_{max} が W_n の増加に伴って単調に増加するのは，W_n に比例して電荷注入による電圧の変化が正に大きくなるためである．上でも述べたように，画素充電率が 100% を超えるのは電荷注入が原因であるため，この変化は式 (1) の a で定められる W_n と W_p の比に依存するが，RPV_{max} が W_n に対して単調に変化する性質は変わらない．

したがって，ある $t_{r-\mathrm{max}}$ に対して，画素充電率の変動範囲 $[RPV_{\mathrm{max}}, RPV_{\mathrm{min}}]$ が最小となる W_n が存在することが分かる．そこで，この範囲を小さくし，かつ 100 に近づけるよう，次の目的関数 $f(W_n)$ を最小にする $(t_{r-\mathrm{max}}, W_n)$ の値の組を求めることを考える．以下では，$t_{r-\mathrm{max}}$ に対するこのような W_n を $W_n(t_{r-\mathrm{max}})$ と書く．図 2 には $f(W_n)$ の変化も示している．

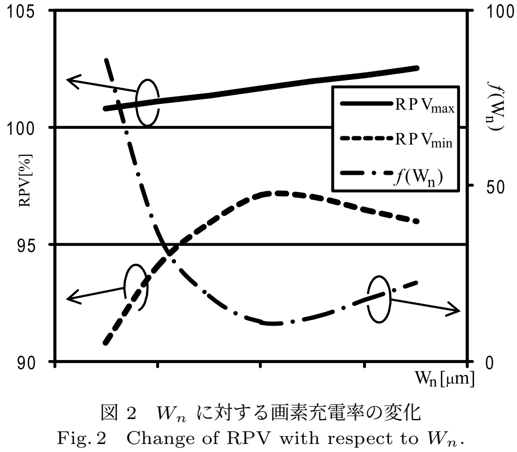

図 2　W_n に対する画素充電率の変化
Fig. 2　Change of RPV with respect to W_n.

$$f(W_n) = (RPV_{\max} - 100)^2 + (100 - RPV_{\min})^2 \qquad (7)$$

$W_n(t_{r-\max})$ の探索において，$RPV_{\max}$ 及び $RPV_{\min}$ の値を求める際，前節で述べた 270 通りの場合の組合せすべてを考慮していたのでは効率が悪い．

そこで，書込み状態やばらつきの組合せの中から，画素充電率が 100%を超えにくいもの (Case-Difficult) と超えやすいもの (Case-Easy) を抽出し，Case-Easy の組合せの中の最大値を $RPV_{\max}$，Case-Difficult の組合せの中の最小値を $RPV_{\min}$ とする [1]．このような組合せは，W_n の値によって変化するが，次のように特徴づけることができる．

- Case-Easy：100%を超えやすい組合せ

充電しやすく，電荷注入により画素充電率が上がる場合

- Case-Difficult：100%を超えにくい組合せ

充電が困難な場合か，あるいは充電できても，電荷注入により画素充電率が下がる場合

これらの Case の組合せは，式 (1) の定数 a，b を定める場合と同様，W_n の大きい場合と小さい場合のそれぞれに関して，全組合せをシミュレーションし，画素充電率の分布を調べることにより抽出する．その個数は，実験では，Case-Easy 及び Case-Difficult のどちらも 10 通りとした．シミュレーション時間を短くするには，この個数が少ない方がよいが，Case-Difficult となる組合せは複数あり，$RPV_{\max}$ 及び $RPV_{\min}$ に見積り誤差が生じては困るので，念のために 10 とした．実験では，この個数で $RPV_{\max}$ 及び $RPV_{\min}$ を正しく求めることができた．

3.2 アルゴリズム

上で述べたように，$RPV_{\max}$ が W_n に対して単調に増加し，$RPV_{\min}$ が W_n に関して単峰性があることから，$t_{r-\max}$ に対する $W_n(t_{r-\max})$ を一意的に決定できる．ここでは，黄金分割法 [10] を用いて $W_n(t_{r-\max})$ を決定する．

黄金分割法は，区間 $[L, U]$ 内に一つの極値をもつ関数 $f(W_n)$ の極値を求める手法で，$[L, U]$ を黄金分割して得られる 2 点 $M = 0.382U + 0.618L$ 及び $N = 0.618U + 0.382L$ の値 $f(M)$ 及び $f(N)$ を用いて，極値の存在範囲を絞り込んでいく．例えば，W_n の上限 $(W_n = U)$ と下限 $(W_n = L)$ において，Case-Easy，Case-Difficult の各場合を調べることにより，$f(U)$ 及び $f(L)$ の値を得ることができ，$f(W_n)$ の極小値が $[L, U]$ 内にあることが分かるので，$f(M)$ 及び $f(N)$ の値を調べる．このとき，図 3 に示すように，$(f(L) >)f(M) < f(N)(< f(U))$ となったとすると，区間 $[N, U]$ には極小値がないことが分かるので，$U = N$ として区間 $[L, U]$ を狭め，$N = M$ とする．そこで，新たに $M = 0.382U + 0.618L$ を求めて，$f(M)$ 及び $f(N)$ の値を調べる．このような操作を繰り返し，$U - L$ が十分に小さくなれば，$W_n(t_{r-\max})$ が求まる．

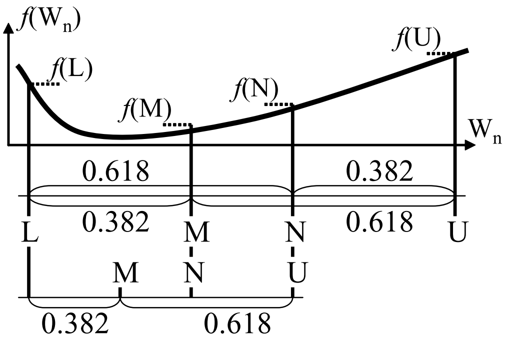

図 3　黄金分割法
Fig. 3　Golden section search.

なお，こうして得られた $W_n(t_{r-\max})$ は，**4.** の実験結果において示すように，極値の近傍では $f(W_n)$ の変化も小さく，W_n が $\pm\sigma_n$ の範囲でばらついたとしても，目的関数の値が大きく変化することはない．このことから，$W_n(t_{r-\max})$ はばらつきに対しても強いといえる．

提案手法は，以下の操作を，i を 1 から k まで変えて繰り返す．ここで，n 及び k は，それぞれ抽出すべき Case-Easy と Case-Difficult の個数及び求めるべき解の個数であり，入力されるものとする．また，Δ は，式 (4) の右辺の値 t_{r-U} の k 分の 1，$\Delta = t_{r-U}/k$ である．

$\langle i$ 番目の組 $(t_{r-\max}, W_n(t_{r-\max}))$ を求める$\rangle$

（1）$t_{r-\max} = \Delta \cdot i$ とし，式 (3), (5) を用いて $t_{w-\min}$，$t_{f-\max}$ を定める．以下の操作は，$t_r = t_{r-\max}$，$t_w = t_{w-\min}$，$t_f = t_{f-\max}$ なる波形の SMP パルスに対して行う．

（2）W_n の上限と W_n の下限において，270 通りの書込み状態とばらつきのすべての組合せにおける画素充電率を求め，Case-Easy と Case-Difficult をそれぞれ n 通り選ぶ．

（3）黄金分割法を用いて，式 (7) の目的関数

$f(W_n)$ を最小にする $W_n(t_{r-\max})$ を求める．$RPV_{\max}$ と $RPV_{\min}$ の値は，Case-Easy 及び Case-Difficult の各場合に対する SPICE シミュレーションにより求める．

3. 3 見積り指標

ここでは，上で得られた k 個の組 $(t_{r-\max}, W_n(t_{r-\max}))$ の各々に対して，バッファ回路の設計順序を示す指標 $A(t_{r-\max})$ を提案する．この指標は，SMP スイッチのサイズが $W_n(t_{r-\max})$ のとき，立上り時間が $t_{r-\max}$ の SMP パルスを生成するのに要するバッファ回路の最終段の CMOS インバータの面積の見積もったもので，バッファ回路全体の面積の大小が予測できる．

図 4 のような構成のバッファ回路に対する指標 $A(t_{r-\max})$ は，次のように計算する．

SMP パルスを出力する最終段の CMOS インバータの負荷を C_n，SMPB パルスを出力する CMOS インバータの負荷を C_p とすると，配線容量を無視すれば，これらは次のように見積もることができる．

$$C_n = m \cdot (W_n \cdot L_n/t_{ox}) \cdot \varepsilon_{ox} \cdot \varepsilon_0 \tag{8}$$

$$C_p = m \cdot (W_p \cdot L_p/t_{ox}) \cdot \varepsilon_{ox} \cdot \varepsilon_0 \tag{9}$$

ここで，L_n 及び L_p はそれぞれ SMP スイッチの nMOS 及び pMOS のゲート長であり，t_{ox} はゲート酸化膜厚，ε_0 は真空の誘電率，ε_{ox} は SiO_2 の比誘電率，m は一つのバッファ回路で同時に駆動する SMP スイッチの個数である．

一方，CMOS インバータに立上りステップ波形を入力したときの出力電圧の遷移時間 t_f は，次式で見積もることができる [11]．ここで，C_{load} は負荷容量，μ_n は電子の移動度，C_0 は単位面積当りの酸化膜容量であり，W_{bufn}，L_{bufn}，V_{thn} はそれぞれインバータの nMOS のゲート幅，ゲート長，しきい値電圧である．

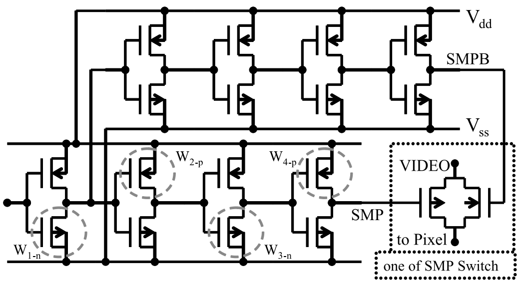

図 4　バッファ回路の例
Fig. 4　A buffer circuit.

$$t_f = \frac{2C_{\text{load}}}{\frac{W_{\text{bufn}}}{L_{\text{bufn}}}\mu_n C_0(V_{dd}-V_{ss}-V_{\text{thn}})} \times \left\{ \frac{V_{\text{thn}} - 0.1(V_{dd}-V_{ss})}{V_{dd}-V_{ss}-V_{\text{thn}}} + \frac{1}{2}\ln\frac{19(V_{dd}-V_{ss})-20V_{\text{thn}}}{V_{dd}-V_{ss}} \right\} \tag{10}$$

ここで，nMOS のしきい値電圧を $V_{\text{thn}} = 0.2(V_{dd} - V_{ss})$ と仮定すると，上式は次式になる．

$$t_f = 3.85 \cdot C_{\text{load}} \cdot L_{\text{bufn}} / \{(V_{dd}-V_{ss}) \cdot \mu_n \cdot C_0 \cdot W_{\text{bufn}}\} \tag{11}$$

同様に，立下りステップ入力が印加されたときの出力の遷移時間 t_r も，正孔の移動度 μ_p，pMOS のゲート幅 W_{bufp}，ゲート長 L_{bufp}，しきい値電圧 V_{thp} を用いて，式 (10) と同様な式で表され，pMOS のしきい値電圧を $V_{\text{thp}} = -0.2(V_{dd}-V_{ss})$ と仮定すると，式 (11) と同様な式が得られる．

したがって，SMP パルスを出力する CMOS インバータの nMOS 及び pMOS の幅をそれぞれ W_{bufn} 及び W_{bufp}，SMPB パルスを出力する CMOS インバータの nMOS 及び pMOS の幅をそれぞれ W_{bufBn} 及び W_{bufBp} とし，更に nMOS 及び pMOS のゲート長をそれぞれ L_{bufn} 及び L_{bufp} とすると，これらと SMP パルスの立上り時間（SMPB パルスの立下り時間）t_r 及び SMP パルスの立下り時間（SMPB パルスの立上り時間）t_f との間には，以下の関係が成り立つ．すなわち，SMP パルス及び SMPB パルスが正負の逆転した同じ波形となるには，次式が成立する必要がある．

$$t_r = 3.85 \cdot C_n \cdot L_{\text{bufp}} / \{(V_{dd}-V_{ss}) \cdot \mu_p \cdot C_0 \cdot W_{\text{bufp}}\} \tag{12}$$

$$t_f = 3.85 \cdot C_n \cdot L_{\text{bufn}} / \{(V_{dd}-V_{ss}) \cdot \mu_n \cdot C_0 \cdot W_{\text{bufn}}\} \tag{13}$$

$$t_f = 3.85 \cdot C_p \cdot L_{\text{bufp}} / \{(V_{dd}-V_{ss}) \cdot \mu_p \cdot C_0 \cdot W_{\text{bufBp}}\} \tag{14}$$

$$t_r = 3.85 \cdot C_p \cdot L_{\text{bufn}} / \{(V_{dd}-V_{ss}) \cdot \mu_n \cdot C_0 \cdot W_{\text{bufBn}}\} \tag{15}$$

これらに式 (8)，(9) を代入し，定数をまとめて K_{nr}，K_{nf}，K_{pf}，K_{pr} と書くと，バッファ回路の最終段のトランジスタのゲート幅を次式で見積もることができる．

$$W_{\mathrm{bufp}} = K_{nr} \cdot W_n / t_r \tag{16}$$

$$W_{\mathrm{bufn}} = K_{nf} \cdot W_n / t_f \tag{17}$$

$$W_{\mathrm{bufBp}} = K_{pf} \cdot W_p / t_f \tag{18}$$

$$W_{\mathrm{bufBn}} = K_{pr} \cdot W_p / t_r \tag{19}$$

そこで，これらの式の t_r，t_f，W_n 及び W_p にそれぞれ $t_{r-\max}$，$t_{f-\max}$，$W_n(t_{r-\max})$ 及び $a \cdot W_n(t_{r-\max}) + b$ を代入することにより，W_{bufn}，W_{bufp}，W_{bufBn}，W_{bufBp} が求まる．これらは，ステップ入力が印加されたときの値であるので，実際のバッファ回路ではこれらの値より大きなゲート幅が必要となる．

バッファ回路の最終段のトランジスタの面積の総和は，これらを用いて次式で与えられるので，これを $A(t_{r-\max})$ とする．

$$A(t_{r-\max}) = L_{\mathrm{bufn}}(W_{\mathrm{bufn}} + W_{\mathrm{bufBn}}) + L_{\mathrm{bufp}}(W_{\mathrm{bufp}} + W_{\mathrm{bufBp}}) \tag{20}$$

4. 実験結果

提案手法及び指標の性能を評価するため, [1] で用いた回路に対して，複数の $(t_{r-\max}, W_n(t_{r-\max}))$ の組を導出し，バッファ回路を設計した．

まず，式 (4) の右辺の値 t_{r-U} を 8 等分 ($k = 8$) とし，8 個の $t_{r-\max}$ の値に対して求めた $(t_{r-\max}, W_n(t_{r-\max}))$ の組と回路シミュレータ SmartSPICE に付属しているオプティマイザ [12] を用いて得られた結果を比較した．オプティマイザでは，一つがそれぞれ 270 通りの場合に対応する 270 個の独立した回路を，一つのネットリストとして入力し，各回路から得られる RPV の値すべてを 100% に近づけるようにした．その際，提案手法と同じ 8 個の $t_{r-\max}$ を与え，各 $t_{r-\max}$ に対して (W_n, W_p) の値を最適化した場合 (divided) と，$t_{r-\max}$ も変数として $(t_{r-\max}, W_n, W_p)$ の値を最適化した場合 (undivided) の 2 通り行った．

これら 8 個の結果を得るのに要した時間は，SmartSPICE [12] と Pentim4 (3.2 GHz) を用いた場合，提案手法で 3 時間 20 分，divided で 46 時間半，undivided で 9 時間であった．

表 1 及び図 5 に，各 $t_{r-\max}$ に対する SMP スイッチの面積 $W_n \cdot L_n + W_p \cdot L_p$ を，divided によって得られた 8 個の面積の最小値に対する比で示す．ここで, [1] は [1] の手法で得られた結果であるが，これについては後述する．提案手法 (OURS) でも divided でも，$t_{r-\max}$ が小さいとき面積も小さく，$t_{r-\max}$ が大きくなるにつれて面積も大きくなっている．これは，$t_{r-\max}$ が大きくなると，SMP パルスの平たん部の長さ t_w が短くなり，画素が充電されにくくなるので，画素充電率を維持するために，W_n を大きくする必要があったことを示している．また，divided の結果に対して，提案手法の面積はどの場合においても小さい．

表 1　サンプリングスイッチの面積
Table 1　Normalized area of the sampling switch.

$t_{r\text{-max}}$ [$t_{r\text{-U}}$ sec]	1/8	2/8	3/8	4/8	5/8	6/8	7/8	8/8
OURS	0.95	0.99	1.04	1.10	1.17	1.32	1.60	2.17
divided	1.00	1.12	1.19	1.31	1.52	1.86	2.49	3.39
[1]			1.34					

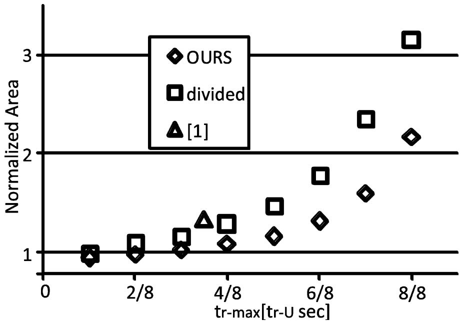

図 5　サンプリングスイッチの面積
Fig. 5　Normalized area of the sampling switch.

一方，undivided の結果は，$t_{r-\max} = 1/8 \cdot t_{r-U}$ の場合の divided の結果と一致した．これは，$t_{r-\max}$ が小さければ小さいほど，RPV が 100%になりやすいため，$t_{r-\max}$ の値が最小化されたものと考えられる．一般に，$t_{r-\max}$ が小さいパルスを生成するバッファ回路の方が，$t_{r-\max}$ が大きい場合より設計が困難であるから，RPV に着目しながら SMP サイズと SMP パルスを同時に最適化しようとすると，$t_{r-\max}$ が最小の結果だけが得られ，バッファ回路設計の困難さを考慮できないことが分かる．したがって，本文で提案するような複数個の解を得る手法が有効となる．

表 2 に $RPV_{\max}$，$RPV_{\min}$，及び目的関数 $f(W_n(t_{r-\max}))$ の値を示す．また，図 6 に $f(W_n(t_{r-\max}))$ の値を，divided によって得られた 8 個の値の最小値に対する比で示す．これより，$t_{r-\max}$ が小さい方が画素充電率の変動が小さく，ばらつきに対して堅固な回路となることが分かる．これより分かるように，提案手法の画素充電率の差 $RPV_{\max} - RPV_{\min}$ は，

表 2　RPV の変動幅及び目的関数の値
Table 2　Ranges of RPV and values of the objective function.

$t_{r\text{-}max}$ [$t_{r\text{-}U}$ sec]		1/8	2/8	3/8	4/8	5/8	6/8	7/8	8/8
OURS	RPV_{max}	100.7	100.7	100.8	100.9	101.0	101.1	101.5	102.1
	RPV_{min}	98.0	98.0	97.9	97.9	97.7	97.6	97.2	96.6
	$f(W_n)$	1.08	1.14	1.24	1.36	1.58	1.82	2.49	4.12
divided	RPV_{max}	100.7	100.7	100.7	100.8	100.9	101.1	101.4	101.8
	RPV_{min}	98.1	98.1	98.1	98.1	97.9	97.7	97.3	96.7
	$f(W_n)$	1.00	1.02	1.05	1.13	1.29	1.60	2.29	3.50

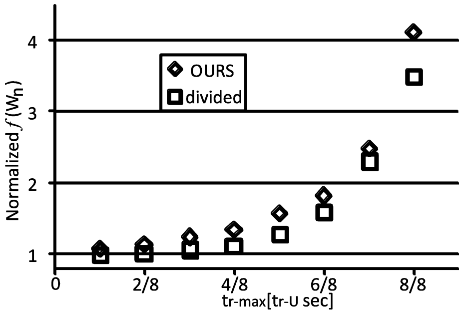

図 6　目的関数の値
Fig. 6　Normalized values of the objective function.

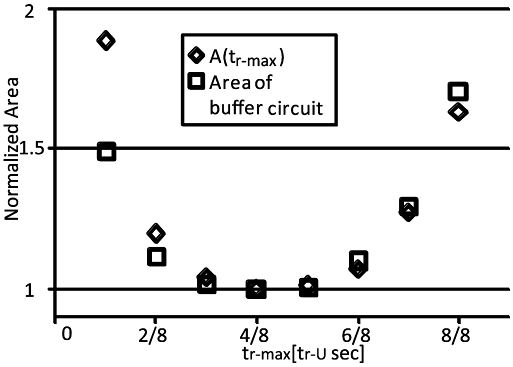

図 7　指標 $A(t_r - \max)$ とバッファ回路の面積
Fig. 7　Normalized values of figure $A(t_r - \max)$ and buffer area.

divided の結果より平均で 0.225 ポイント大きい．これは，divided が W_n と W_p の両方の値を最適化していたのに対して，提案手法はこれらの関係を式 (1) で固定化したためである．画素充電率の差が悪くなった分，図 5 で示したように，面積は提案手法の方が小さい．

なお，W_n のばらつきに対する目的関数の値の変動幅は，W_n 及び W_p がともに $t_{r-\max} = 1/8 \cdot t_{r-U}$ のときの $W_n(t_{r-\max})$ の 1%だけばらつく，すなわち，$\sigma_n = \sigma_p = 00.1{\cdot}W_n(t_{r-U}/8)$ とすると，8 個の $t_{r-\max}$ のどの場合においても，$f(W_n(t_{r-\max}))$ の 2.0%以内であり，平均で 1.0%であった．また，$RPV_{\max} - RPV_{\min}$ の変動量も，最大 0.038 ポイント，平均 0.025 ポイントであり，$W_n(t_{r-\max})$ の値は W_n，W_p のばらつきにも強いといえるであろう．

図 7 に，指標 $A(t_{r-\max})$ の変化を，その最小値に対する比で示す．$A(t_{r-\max})$ が $t_{r-\max}$ の小さなところで大きくなっているのは，立上り時間 t_r の小さな SMP パルスを生成することが困難であるためであり，$t_{r-\max}$ の大きなところで大きくなっているのは，バッファ回路の負荷である $W_n(t_{r-\max})$ が大きいためである．これらより，$t_{r-\max} = t_{r-U}/2$ の付近の組 $(t_{r-\max}, W_n(t_{r-\max}))$ が，バッファの面積 $A(t_{r-\max})$，SMP スイッチの面積 $W_n \cdot L_n + W_p \cdot L_p$ ともに小さく，また，画素充電率の差 $RPV_{\max} - RPV_{\min}$ も小さいため，好ましい解であるといえる．

この指標 $A(t_{r-\max})$ の精度を調べるため，図 7 には，SmartSPICE のオプティマイザを用いて設計したバッファ回路の面積の変化も，その最小値に対する比で示している．これより，実際のバッファ回路の面積も，$A(t_{r-\max})$ と同様な変化をし，この指標をバッファ回路の面積の見積りに使えることが分かる．このバッファ回路の面積は次のようにして求めた．

バッファ回路は図 4 のような回路とし，初段のインバータへの入力は遅延回路からの標準的なランプ波形を有するパルスとする．初段のインバータのゲート幅は最小サイズとして，変化させず，これ以外のインバータのゲート幅を最適化変数として，SMP パルスの立上り時間及び立下り時間（SMPB パルスの立下り時間及び立上り時間）がそれぞれ指定された $t_{r-\max}$ 及び $t_{f-\max}$ に近づくように，最適化した．また，回路の動作条件は，電源電圧が最小で，トランジスタ性能も最悪となるような最も過酷な状況を想定し，高電位が $V_{high} - v_{high}$，低電位が $V_{low} + v_{low}$，トランジ

スタモデルは $nWpW$ を用いた．

オプティマイザに入力した各最適化変数の初期値は，pMOS のゲート幅を nMOS のゲート幅の 3 倍とし，Cascade buffer (tapered buffer) [8], [9] となるように，初段のインバータのゲート幅と，式 (16)〜(19) で見積もった最終段のゲート幅から定めた．すなわち，ゲート幅が段数に応じて等比級数的に増加するように，次のように定めた．

例えば，図 4 の点線で囲まれた SMP パルスの立上り時間を決めるトランジスタのゲート幅は，これらを左から W_{1-n}，W_{2-p}，W_{3-n}，W_{4-p} とすると，W_{1-n} は初段なので最小サイズ，W_{4-p} は最終段なので式 (16) を用いて $W_{4-p} = W_{\rm bufp}$ とし，W_{2-p} 及び W_{3-n} はそれぞれ $W_{2-p} = (W_{1-n} \cdot r_p) \cdot 3$ 及び $W_{3-n} = W_{1-n} \cdot r_p^2$ とする．ここで，r_p は，$W_{4-p} = (W_{1-n} \cdot r_p^3) \cdot 3$ なる関係から定め，$r_p = (W_{\rm bufp}/3/W_{1-n})^{1/3}$ とする．他の変数についても同様な方法で定める．このような初期値は，ステップ波形を用いて見積もったゲート幅であるため，SMP パルスの立上り及び立下り時間が指定された $t_{r-\max}$ 及び $t_{f-\max}$ になっておらず，オプティマイザが各ゲート幅を変化させて，指定した値に近づけるが，その際，このような初期値を与えておくと，最適化に要する時間を短縮できると予想される．

最後に，図 5 及び表 1 に示した [1] の手法で得られた t_r と SMP スイッチの面積の値を，提案手法で得られた結果と比較すると，同程度の $t_{r-\max}$ に対して面積が大きくなっている．[1] では，画素充電率 RPV を制約条件として扱い，$RPV_{\max}$ 及び $RPV_{\min}$ の 100 からの差が，ともに指定されたしきい値 B 以内であればよいとしていた．そのため，バッファ回路の設計の容易さや，W_n のばらつきを考慮して，$RPV_{\max} = 100 + {\rm B}$ 及び $RPV_{\min} = 100 - {\rm B}$ となるような W_n を選んでいたが，この W_n は，$f(W_n)$ を最小とするような極値 $W_n(t_{r-\max})$ より大きな値であった．本手法では，$RPV_{\max}$ 及び $RPV_{\min}$ が W_n に対して図 2 に示すような変化をすることに着目し，極値 $W_n(t_{r-\max})$ を選んだが，これにより，RPV の変動 $RPV_{\max} - RPV_{\min}$ を 2B より小さくできるだけでなく，SMP スイッチの面積を小さくするという効果も得られたことが分かる．

5. む す び

本論文では，液晶ディスプレイの画素充電率を決めるサンプリングトランジスタの幅とサンプリングパルスの形状を最適化する手法を提案した．提案手法は，画素充電率の 100% からの変動幅を最小化するようなトランジスタ幅とパルス形状の組を複数個生成するもので，各組に対して，バッファ回路の設計を試みる順序を指定する指標を与える．これらにより，バッファ回路とサンプリング回路の両方を最適化することが可能となる．

また，提案手法及び提案指標の性能を評価するため，実際の回路に対して実験を行った．その結果，SmartSPICE に付属しているオプティマイザと比較して，11 分の 1 以下の時間で同等の結果を得ることができ，提案指標についてもその有効性が確認できた．

ただし，提案指標 $A(t_{r-\max})$ は，出力トランジスタのサイズを見積もるものであるから，どのような回路構造のバッファ回路にも有効だと考えられるが，図 4 のような構造でないバッファ回路に対しては，実際の面積との関係を調べていない．

この点や，遅延回路など，他の回路に対しても，種々のばらつきに耐性をもつ回路を最適設計する効率的手法を確立することが今後の課題である．

文 献

[1] S. Takahashi, S. Tsukiyama, M. Hashimoto, and I. Shirakawa, “A sampling switch design procedure for active matrix liquid crystal displays,” IEICE Trans. Fundamentals, vol.E89-A, no.12, pp.3538–3545, Dec. 2006.

[2] E. Lueder, Liquid Crystal Displays: Addressing Schemes and Electro-Optical Effects, John Wiley & Sons, 2001.

[3] J. Ohwada, M. Takabatake, Y.A. Ono, A. Mimura, K. Ono, and N. Konishi, “Peripheral circuit integrated polySi TFT LCD with gray scale representation,” IEEE Trans. Electron Devices, vol.36, no.9, pp.1923–1928, 1989.

[4] J.H. Atherton, “Integrating electronics into active matrix liquid crystal displays,” Proc. IEEE Conf. AMLCD, pp.58–65, 1995.

[5] A.G. Lewis, D.D. Lee, and R.H. Bruce, “Polysilicon TFT circuit design and performance,” IEEE J. Solid-State Circuits, vol.27, no.12, pp.1833–1842, 1992.

[6] L.W. Linholm, “An optimized output stage for MOS integrated circuits,” IEEE J. Solid-State Circuits, vol.SC-10, no.2, pp.106–109, 1975.

[7] L.W. Linholm and R.C. Jaeger, “Comments on ‘An optimized output stage for MOS integrated circuits’ [and reply],” IEEE J. Solid-State Circuits, vol.SC-10, no.3, pp.185–186, 1975.

[8] J.H. Shieh, M. Patil, and A.J. Sheu, “Measurement and analysis of charge injection in MOS analog switches,” IEEE J. Solid-State Circuits, vol.SC-22, no.2, pp.277–281, 1987.

[9] G. Wegmann, E.A. Vittoz, and A. Rahali, "Charge injection in analog MOS switches," IEEE J. Solid-State Circuits, vol.SC-22, no.6, pp.1091–1097, 1987.

[10] W.H. Press, S.A. Teukolsky, W.T. Vetterling, and, B.P. Flannery, NUMERICAL PECIPES in C : The Art of Scientific Computing, Press Syndicate of the University of Cambridge, 1988.

[11] 榎本忠義，CMOS 集積回路，培風館，1996.

[12] SmartSPICE, http://www.silvaco.com/products/circuit_simulation/smartspice.html

（平成 19 年 2 月 19 日受付，8 月 1 日再受付）

高橋　真吾　（学生員）

平 17 中大・理工・電気電子情報通信卒．平 19 同大大学院理工学研究科電気電子情報通信工学専攻博士前期課程了．現在，同大学院理工学研究科電気電子情報通信工学専攻博士後期課程 1 年．液晶ディスプレイ用駆動回路の最適設計と性能評価方法，及び統計的 STA の高精度化と高機能化の研究に従事．情報処理学会学生会員．

築山　修治　（正員）

昭 47 阪大・工・電子卒．昭 49 同大大学院電子工学専攻修士課程了，昭 52 同博士課程後期了，工博．同年，阪大・工学部・電子工学科助手，昭 62 助教授．同年，中央大・理工学部・電気工学科（現在，電気電子情報通信工学科）助教授．平 2，同教授，現在に至る．この間，昭 53〜55 カリフォルニア大学バークレー校電子工学研究所客員研究員．集積回路やプリント板の CAD アルゴリズム，特に，配置配線手法，タイミング解析手法，ばらつきを考慮した設計手法，並びにグラフ理論などの組合せ問題に対するアルゴリズムの研究に従事．IEEE，ACM，情報処理学会，エレクトロニクス実装学会各会員．

橋本　昌宜　（正員）

平 9 京大・工・電子卒．平 13 同大大学院博士課程（通信情報システム専攻）了．博士（情報学）．同年，京都大学情報学研究科助手，平 16 大阪大学情報科学研究科助教授，現在同准教授．VLSI の設計技術，CAD の研究に従事．IEEE 会員．

白川　　功　（名誉員：フェロー）

昭 38 阪大・工・電子卒．昭 43 同大大学院博士課程了．工博．同年大阪大学助手，昭 48 同助教授，昭 62 同教授．平 10 同大型計算機センター長，平 11 同評議員，同総長補佐役，平 13 同大学院工学研究科長・工学部長，平 15 同定年退官，同名誉教授，（株）シンセシス取締役．平 16 兵庫県立大大学院応用情報科学研究科長，現在に至る．その間，昭 49〜50 カリフォルニア大バークレー校客員研究員．回路理論，グラフ理論，VLSI の設計自動化，システム VLSI の実装設計などの教育研究に従事．現在，IEEE Life Fellow；ACM，情報処理学会，映像情報メディア学会，システム制御情報学会，計測自動制御学会，エレクトロニクス実装学会各正会員．著書：「演習グラフ理論」，「回路理論 I，II」（共著，コロナ社）など．