

# STA

## Statistical Gate Delay Model Considering Slew Dependency

高藤浩資<sup>†</sup> 小林宏行<sup>††</sup> 小野信任<sup>†††</sup> 増田弘生<sup>††††</sup>  
 中島英斉<sup>‡</sup> 奥村隆昌<sup>‡‡</sup> 橋本昌宜<sup>‡‡‡</sup> 佐藤高史<sup>‡‡‡‡</sup>

<sup>†</sup>(株)リコー <sup>††</sup>日本シノプシス(株)

<sup>†††</sup>(株)ジーダット・イノベーション <sup>††††</sup>(株)ルネサス テクノロジ

<sup>‡</sup>NEC エレクトロニクス(株) <sup>‡‡</sup>富士通 VLSI(株)

<sup>‡‡‡</sup>大阪大学 <sup>‡‡‡‡</sup>東京工業大学

### 概要

統計的 STA においてランダム遅延ばらつき解析の精度を向上する計算手法を検討した。計算手法の主要な点は、スルー時間ばらつきを遅延ばらつき解析の要素として取り入れたことである。この提案手法で、遅延ばらつき解析誤差が低減できることを、モンテカルロ解析の検証で明らかにした。

### 1 はじめに

100nm 以下のプロセスでは、これまで考慮されていなかったチップ内 (WID: With-in Die) ばらつきが極めて大きくなる(図 1-1) [1]。WID ばらつきの要因は主にトランジスタのしきい電圧がランダムに変動するために起こる現象で、特に高集積 SOC で使用される微細な寸法の MOS トランジスタ (MOS Tr.) で問題になる。回路設計の点では、同じレイアウトで設計した回路がチップの内部でもはや同一の遅延特性を示すことが保証されず、遅延時間が正規分布に基づいて揺らぐことになる(図 1-2) [2]。しかし、従来、MOS Tr. のばらつきが、回路特性ばらつきにどのように反映され、それをどのようにモデル化するかについては明確にされていなかった。

本論文では、モンテカルロ回路ばらつきシミュレーションを用いて、65nm プロセスにおける回路遅延ばらつきの解析を行う。さらに、WID ばらつきを考慮できる統計的 STA のばらつきライブラリの構成と計算手法を新たに提案し、モンテカルロ回路シミュレーション結果と良く一致することを示す。

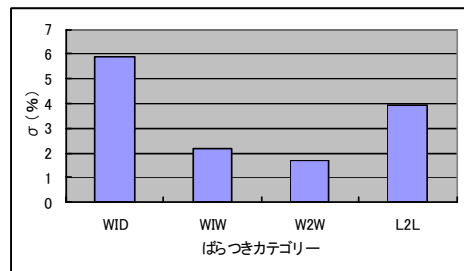


図 1-1 90nm プロセス NMOS Ids ばらつき カテゴリ別標準偏差 (推定値)

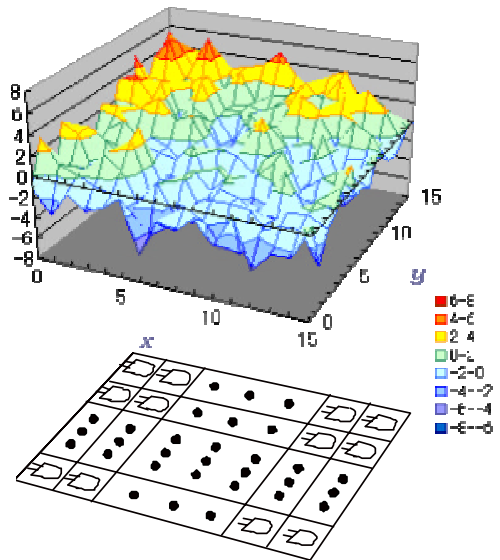


図 1-2 90nm プロセス回路遅延特性の WID ばらつき

1 本研究は JEITA EDA 技術専門委員会 物理設計標準化研究会の活動として実施されたものである。

## 2 SSTA

SOC のタイミング設計では、従来より STA (Static Timing Analysis) が用いられている。しかし STA では基本的に WID 遅延ばらつきを正確に扱う考え方はなく、マージン幅 (Derating) というパラメータで表現しようとする[3]。統計的 STA(SSTA: Statistical STA)では WID ばらつきを遅延ばらつきとして確率変数として表現し、WID ばらつきに依存して遅延の確率分布が伝播するという考え方をとる[4][5][6]。しかし、SSTA においても WID ばらつきに起因する遅延の確率分布を計算するアルゴリズムは必ずしも明確ではない。図 2-1 はフリップフロップ (FF) 間のセットアップ・ホールドタイミング制約の説明図である。信号パスの分岐点から FF2 の Data 端子 (D2)、クロック端子 (CK2) への遅延特性により FF2 が正常に動作する条件が決定される。式 (2-1) から式 (2-5) はその条件を示す式である。WID ばらつき ( $\delta_{WID}$ ) によりセットアップ・ホールド制約が  $\delta_{WID}$  の大きさだけ厳しくなることが示されている。

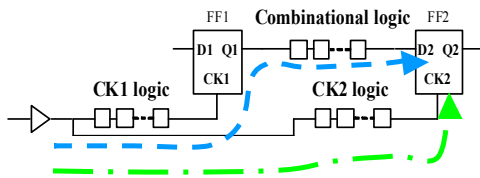


図 2-1 Setup&Hold 違反

Clock skew :

$$t_{skew} = t_{CK1} - t_{CK2} \quad (2-1)$$

Setup time :

$$t_{CK1} - t_{CK2} + t_{CK1-Q1} + t_{logic} + t_{setup} \leq t_{clk} \quad (2-2)$$

Hold time :

$$t_{CK1} - t_{CK2} + t_{CK1-Q1} + t_{logic} - t_{hold} \geq 0 \quad (2-3)$$

Setup time(WID Variation) :

$$t_{CK1} - t_{CK2} + t_{CK1+Q1} + t_{logic} + t_{setup} + d_{WID} \leq t_{clk} \quad (2-4)$$

Hold time(WID Variation) :

$$t_{CK1} - t_{CK2} + t_{CK1+Q1} + t_{logic} - t_{hold} - d_{WID} \leq 0 \quad (2-5)$$

### 3 スルー依存性を考慮するタイミング計算手法

図 3-1 のような 2 段のゲート (i, i+1) の直列接続における、WID 遅延ばらつき伝播を計算するケースを考える。ゲート i の入力には遅延・スル

一のばらつきの無い単一波形が入力されるものとする。ゲート i の出力波形は、ゲート i を構成する MOS Tr の  $V_{th}$  (および  $I_{ds}$ ) のランダムなばらつきにより遅延およびスルーのばらつきが発生する。その波形ばらつきを入力とするゲート i+1 の出力は、さらにゲート i+1 の CMOS トランジスタのランダムなばらつきによりばらつきが重畳され増幅されてゆく。これがばらつき伝播の考え方となる。従来の多くの論文では、遅延ばらつきに関する議論はされているが、スルーのばらつきを含んだ計算についての言及は少ない。文献[7]では、感度法に基づくスルーを考慮した計算法について言及しているが、その妥当性について明確に議論されていない。

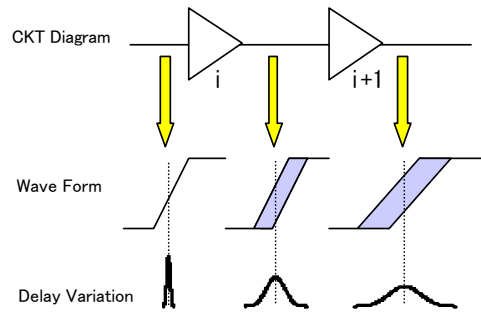


図 3-1 WID 遅延ばらつき

#### 3.1 スルー依存性考慮のためのキャラクタライズ手法

図 3-2 に、提案手法で用いるライブラリの構成を示す。従来のライブラリでは、図 3-2 での①と②のように、遅延と出力波形のスルーを、出力負荷と入力波形のスルーからなる 2 次元テーブルで定義している。今回提案する手法では、図 3-2 に於ける③遅延ばらつきと④スルーばらつきテーブルを追加で用いる。

図 3-3 に、上記テーブルを求めるための回路を示す。例えば  $V_{th}$  等をばらつきパラメータとし、入力スルーと負荷容量一定の条件でモンテカルロ解析を行い、遅延及びスルーそれぞれの平均値 (図 3-2 ①, ②) と標準偏差 (図 3-2 ③, ④) を抽出する。様々な入力スルーと負荷容量に対し上の処理を繰り返すことで、これらをインデックスとするテーブルが作成できる。

また、⑤、⑥のテーブルは、遅延や出力スルーを入力スルーで微分した値を保持する。これらは、①②のテーブルから算出可能である。このライブラリに於いて、④のスルーばらつきを抽出し、定義する事が今回の提案で必要となる情報である。

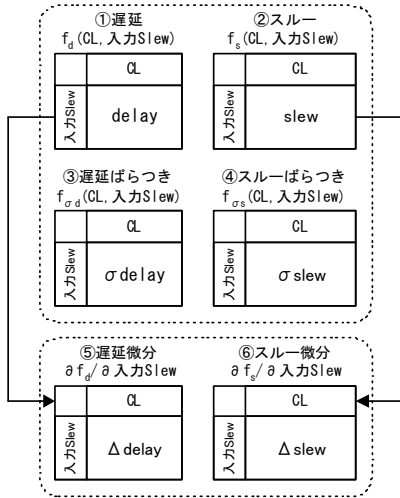


図 3-2 提案手法用テーブル

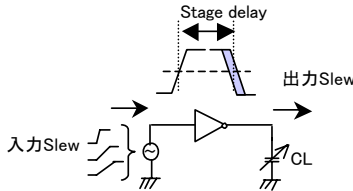


図 3-3 論理セルのキャラクタライズ

### 3.2 スルー依存性を考慮する遅延、出力スルー計算手法

次に、新たに提案するスルーのばらつきを考慮した遅延ばらつきの計算方法を説明する。ここでは、統計的な遅延分布を求めるべきパスは事前に抽出されているとし、着目した(ばらつきを計算したい)パスに対し、当該パス上に存在するゲートに於いてもれなく(1)~(3)の手順を繰り返す。(以下、 $i$  と  $i+1$  は隣接するゲートを意味し、 $i$  の次段ゲートを  $i+1$  とする)

(1) ゲート  $i$  への入力 Slew ( $s_i$ ) と出力負荷 ( $cl_{i+1}$ ) よ

り図 3-2 のテーブル①~⑥を参照し、式(3-1)よりゲート  $i$  の出力ノードの到達遅延 ( $arr_{i+1}$ ) を求め、式(3-2)より次段ゲート  $i+1$  への入力 Slew ( $s_{i+1}$ ) を求める。

- (2) ゲート  $i$  固有の遅延ばらつき ( $\sigma d_{i+1}$ ) を式(3-3)により求める。また、同様に出力スルーばらつき ( $\sigma s_{i+1}$ ) を式(3-4)より求める。  
 (3) ゲート  $i$  の出力ノードの到達遅延ばらつき ( $\sigma arr_{i+1}$ ) を式(3-5)より求める。

$$arr_{i+1} = arr_i + f_d(cl_{i+1}, s_i) \quad (3-1)$$

$$s_{i+1} = f_s(cl_{i+1}, s_i) \quad (3-2)$$

$$(\sigma d_{i+1})^2 = f_{\sigma d}^2(cl_{i+1}, s_i) + \left( \sigma s_i \times \frac{\partial f_d}{\partial s} \right)^2 + 2 \times \rho \times f_{\sigma d}(cl_{i+1}, s_i) \times \left( \sigma s_i \times \frac{\partial f_d}{\partial s} \right) \quad (3-3)$$

$$(\sigma s_{i+1})^2 = f_{\sigma s}^2(cl_{i+1}, s_i) + \left( \sigma s_i \times \frac{\partial f_s}{\partial s} \right)^2 + 2 \times \rho \times f_{\sigma s}(cl_{i+1}, s_i) \times \left( \sigma s_i \times \frac{\partial f_s}{\partial s} \right) \quad (3-4)$$

$$(\sigma arr_{i+1})^2 = (\sigma arr_i)^2 + (\sigma d_i)^2 \quad (3-5)$$

※ 係数:  $-1 \leq \rho \leq 1$

式(3-3), (3-4)中の  $\rho$  は、両式右辺第一項、第二項の相関の度合いにより-1から1までの値を取りうる。本稿では、 $\rho=1$  が最もシミュレーション結果に近い結果が得られた。以下スルーばらつきを考慮する場合には、この( $\rho=1$ )を使用する。

### 4 シミュレーションによる検証

図 4-1 に示す 5 段インバータ直列接続回路について回路シミュレータによるモンテカルロシミュレーションを実施し、提案手法を検証する。SPICE モデルパラメータとして 65nm ノードの PTM[8]を使用した。

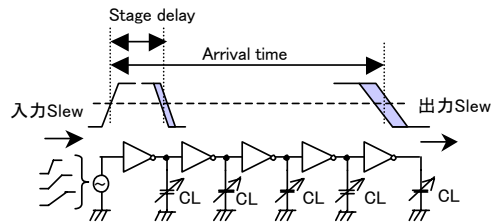


図 4-1 5 段インバータ直列接続回路 (提案手法の検証回路)

#### 4.1

計算手法の検証は、各ゲートの入カスルー・出力負荷に対する遅延・出力遅延・遅延ばらつき・スルーばらつきの各テーブル(図 3-2)を作成し、各テーブルを用いて図 3-4 に示す提案手法で遅延ばらつきとスルーばらつきを伝播させる。この結果を、各段でモンテカルロ解析結果と比較することで精度検証を行った。

#### 4.2 5

図 4-2 にシミュレーション条件をまとめる。図中の数値は、ITRS2006 を参照、または ITRS を参考に推定した。

(1)Tech Node=65nm
NMOS: L=60nm, W=300nm, Vthn0=0.423V
PMOS: L=60nm, W=500nm, Vthp0=-0.365V
$\sigma$ (Vthn0)=30mV
$\sigma$ (Vthp0)=25mV
Vdd=1.0V
Temp=25°C
SPICE パラメータ=Typical
(2)Table Specification parameters
Slew Rate=20p, 40p, 60p, 100p, 200p (Sec)
Load Capa.=3f, 10f, 30f, 50f, 100f (Farad)
(3)Characteristic Values
Delay: 50%-50% Delay
Slew: 20%-80% Slew
(4)Simulation Method
Monte Carlo (2000 Runs)
Monte Carlo Parameters:
Vtn0 & Vtp0 of all MOS Transistors
(5)Example CKT:
5-stages inverter chain
(6)Simulator
Synopsys HSPICE

図 4-2 モンテカルロシミュレーション条件一覧

## 5

### 5.1 5

遅延ばらつき分布の例として、5 段インバータ回路 2 段目出力(図 5-1)と 5 段目出力(図 5-2)の例を示す。遅延ばらつきヒストグラムがほぼ正規分布をしていること、段数を経るごとにばらつきが増大していることが分かる。なお、図 5-1, 5-2 では、初段インバータ入力のばらつきは無し、初

段入力スルー 20ps (立上り)、各段の出力負荷容量 : 30fF としている。

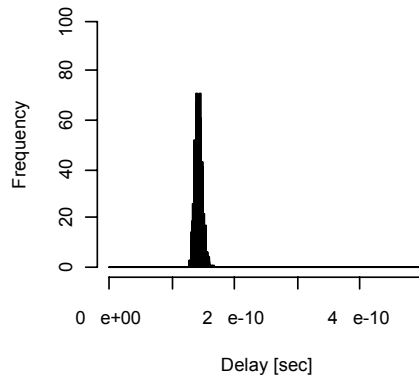


図 5-1 5 段インバータ出力遅延(2 段目)ばらつき分布解析結果

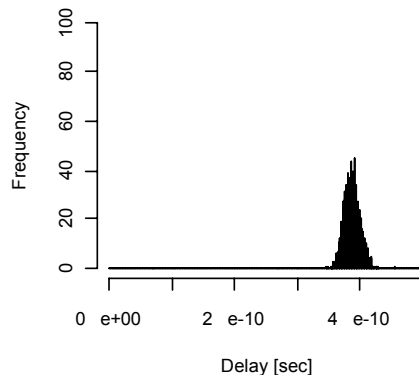


図 5-2 5 段インバータ出力遅延(5 段目)ばらつき分布解析結果

図 5-3 から図 5-8 は 5 段目の出力について遅延・スルーの平均値とばらつきを解析した結果である。これらのグラフは、初段入力のスルーと各段間の負荷容量を変えてシミュレーション行なう事で得た。得られた結果において特徴的な点は次の 2 点である。

- (1) 遅延時間と遅延ばらつきの比は約二桁あるが、スルー=200ps, 負荷容量=3fF の付近では 1 桁になっていること(図 5-5)
- (2) スルー時間とスルーばらつきの比も約二桁あること(図 5-8)

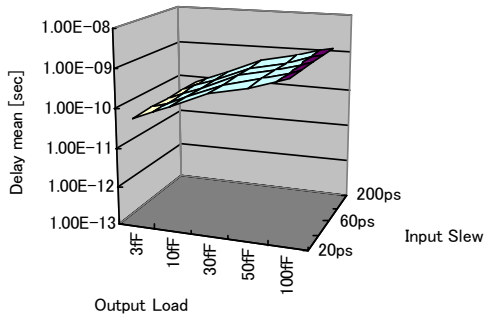


図 5-3 遅延平均

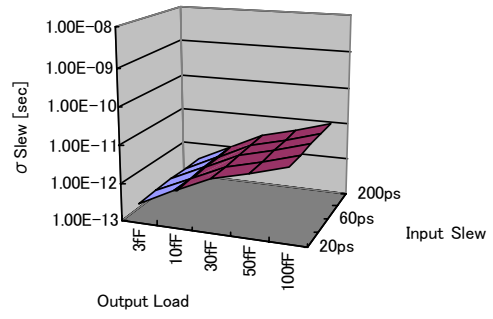


図 5-7 スルーばらつき( $\sigma$ )

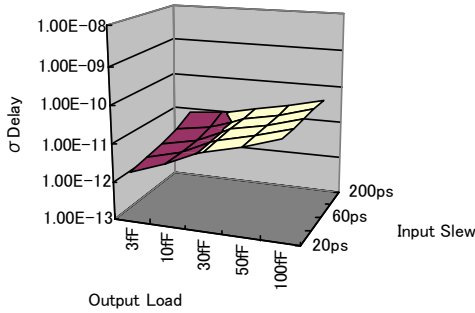


図 5-4 遅延ばらつき( $\sigma$ )

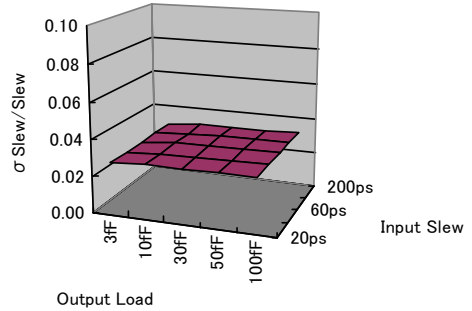


図 5-8 スルーばらつきと平均の比

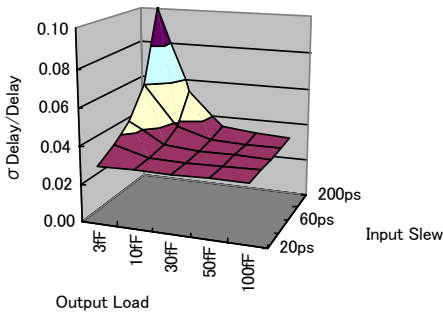


図 5-5 遅延ばらつきと平均の比

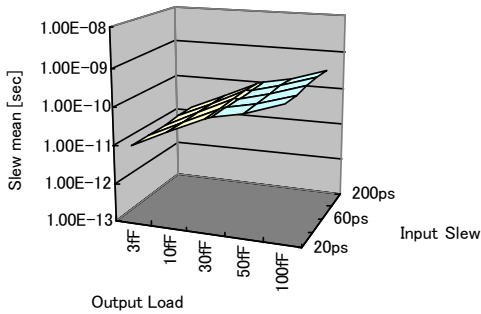


図 5-6 スルー平均

## 5.2 結果の検討

遅延ばらつきに関して、モンテカルロ解析と提案手法との結果を比較する。表 5-1 にモンテカルロ解析を基準とする提案手法の誤差を示す。また表 5-2 にスルーばらつきの依存性を考慮しない計算方法 (式(3-3)の  $\sigma s_i$  に関連する項を無視) についての誤差を示す。図 5-9, 5-10 は、それぞれ表 5-1, 5-2 のグラフ表示である。但しここでは 5 段インバータ直列接続回路の 5 段目の到着時間について比較した。

表 5-1 遅延ばらつきの対モンテカルロ解析誤差 (提案手法: スルーばらつき考慮)

ばらつき考慮		CL (出力負荷)				
		3fF	10fF	30fF	50fF	100fF
入力スルー	20ps	3.2	-2.2	-5.0	-3.8	-3.2
	40ps	3.4	-2.9	-5.3	-3.7	-3.2
	60ps	5.3	-2.0	-5.9	-4.1	-3.3
	100ps	6.8	-0.3	-6.4	-4.6	-3.3
	200ps	6.2	3.4	-3.7	-4.2	-4.2

単位[%]

表 5-2 遅延ばらつきの対モンテカルロ解析誤差  
(式(3-3)のスルーばらつき( $\sigma_{s_i}$ )項を無視)

ばらつき 無視		CL(出力負荷)				
		3fF	10fF	30fF	50fF	100fF
入力スルー	20ps	-4.5	-14.2	-17.9	-16.6	-17.3
	40ps	-0.8	-12.5	-17.7	-16.5	-17.1
	60ps	2.4	-9.2	-17.5	-16.5	-17.1
	100ps	4.7	-4.8	-16.1	-16.0	-17.0
	200ps	5.0	0.9	-9.7	-12.8	-16.5

単位[%]

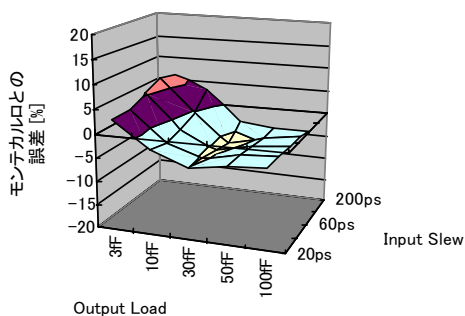


図 5-9 モンテカルロ解析との誤差  
(提案手法：表 5-1 に対応)

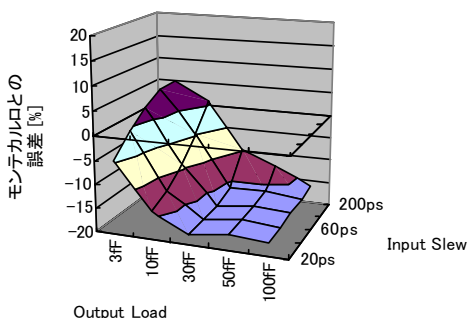


図 5-10 モンテカルロ解析との誤差  
(スルーばらつき無視：表 5-2 に対応)

遅延ばらつきの計算結果は提案手法では最大誤差が 6.8%であるのに対し、式(3-3)のスルーばらつき( $\sigma_{s_i}$ )項を無視した計算では最大誤差 17.9%であった。遅延計算におけるスルー考慮の必要性、および提案手法の妥当性が確認された。

## 6 結論

統計的 STA のランダム遅延ばらつきの精度を向上する計算手法を提案した。提案手法の主要な点

は、スルー時間ばらつきを遅延ばらつきの計算項として取り入れたことである。この提案手法で、スルーばらつき項を無視した場合に比べ解析誤差 17.9%が 6.8%に低減できることを、モンテカルロ解析の検証で明らかにした。

## 7 今後の課題

今後の課題として、以下の点が挙げられる。

- ・スルー考慮式の物理的な理由の解明：特に相関をどの様に考慮すべきか
- ・誤差低減の検討。特に低負荷、入力スルーが大きい場合の誤差要因の解明
- ・解析パターンの追加。2 入力ゲートの場合での影響、WID(チップ内)の物理パラメータ依存性( $\sigma(L)/L$ など)、D2D(チップ間)の物理パラメータ依存性( $\sigma(L)/L$ など)

以上を踏まえた総合的な評価への展開を行っていく予定である。

## 参考文献

- [1] 増田弘生、“MOS トランジスタの特性ばらつき”、VLSI 夏の学校、8月、2006年
- [2] H. Masuda et al. “Challenge: Variability Characterization and Modeling for 65- to 90-nm Processes”, CICC 2005 Abstract, pp. 594-600, Oct., 2005.
- [3] A. Devgan and C. Kashyap, “Block-based static timing analysis with uncertainty,” in ICCAD, 2003.
- [4] S. Raj, S. Vrudhula, and J. Wang, “A methodology to improve timing yield in the presence of process variations,” in DAC, 2004, pp. 448-453.
- [5] S. B. Samaan, “The impact of device parameter variations on the frequency and performance of microprocessor circuits,” ISSCC 2004, Microprocessor Circuit Design Forum Digest, p. 29, Feb. 2004.
- [6] U. Fasnacht, “A robust ASIC design and IP integration methodology for 65nm and beyond,” ICCAD 2004, Sunday Workshop Digest, p3, Nov. 2004.
- [7] H. Chang and S. Sapatnekar, “Statistical Timing Analysis under Spatial Correlations,” IEEE Trans. CAD, Vol. 24, No. 9, pp. 1467-1482, Sep. 2005.
- [8] W. Zhao, Y. Cao, “New generation of Predictive Technology Model for sub-45nm design exploration,” pp. 585-590, ISQED, 2006.