

45-65nm ノードにおける遅延ばらつき特性の環境温度依存性

A study of temperature-dependent delay variation in 45-65nm nodes

中林太美世¹ 黒川敦² 佐藤高史³ 橋本昌宜⁴ 増田弘生⁵

¹シャープ(株) ²三洋半導体(株) ³東京工業大学 ⁴大阪大学 ⁵(株)ルネサステクノロジ

Tamiyo NAKABAYASHI¹ Atsushi KUROAKWA² Takashi SATO³

Masanori HASHIMOTO⁴ Hiroo MASUDA⁵

¹Sharp Corp. ²SANYO Semiconductor Co., Ltd. ³Tokyo Institute of Technology

⁴Osaka University ⁵Renesas Technology Corp.

概要

本稿では、ばらつきの温度依存性について議論する。まず素子特性ばらつきとして、MOS 電流特性、Cu 配線抵抗の相対ばらつきが低温でワースト(最大)となることを示す。さらに、素子ばらつきの回路特性ばらつきへの影響について評価するため、配線遅延ばらつきの温度特性を解析した。無負荷のセル遅延ではトランジスタのばらつきの温度特性効果が支配的であるが、長配線のセル間ドライバ特性では配線抵抗ばらつきが低温において特に顕著になることを示し、この傾向はプロセスが微細になるに従って増大することを明らかにした。即ち、今後の LSI 設計において、低温でのばらつきマージンの考察、MOS 電流ばらつきだけでなく配線抵抗ばらつきの考慮が必須になってくることを明らかにした。

1 はじめに

65nm SOC 設計では、回路特性(信号遅延、消費電力)のばらつきを如何に小さくし、または保証するかという技術が問われてくる。これは、微細なデバイスや配線のランダムなばらつき量が設計にとって無視できない値を示すことが明らかになってきたことによる。文献[1][10]には、ばらつきが 100nm ノード以降で急激に大きくなってきている様子が示されている。MOS トランジスタのゲート電極加工寸法の相対的なばらつきが大きくなると共に、不純物数のゆらぎの影響で MOS 特性の重要なパラメータであるしきい電圧のばらつきが急激に大きくなってきていることが主要因とされて

いる。

また、文献[2][10]には、SOC で使用されるトランジスタのドレイン電流(I_{ds})のチップ内分布を測定した例が示され、Sub-100nm のプロセス・デバイスでは、チップ内でランダムに I_{ds} がばらつくミスマッチ特性が大きくなることが報告されている。このランダムばらつきは近接配置したペア MOS 間(相対距離 $<0.5\mu\text{m}$)でも見られる。ランダムばらつきの特徴は、素子の面積(たとえば、ゲート面積)の平方根に、ばらつきの大きさが逆比例する事である[3]。

本報告では、ばらつきの温度依存性を初めて詳細に評価し、その結果低温でばらつきがワースト(最大)となることを示す。さらに、配線遅延ばらつきの温度特性を考慮して回路特性のばらつきをモンテカルロ回路解析し、素子ばらつきの回路特性ばらつきへの影響を定量的に評価する。すなわち、負荷の小さいセル遅延ばらつきは温度依存性を含めトランジスタの I_{ds} ばらつきで律則されていること、負荷の大きいパス遅延ばらつきでは、特に低温(-40°C)で配線のばらつきが無視できなくなることを指摘する。

2 素子ばらつきの温度依存性

微細プロセス・デバイスではオンチップばらつきが大きくなりプロセス的・設計的な対応が必要になってくる。Sub-100nm のプロセス・デバイスでは、トランジスタの電流特性のチップ内ランダムばらつきが大きくなることが知られているが、さらに、Cu 配線のランダムばらつきも大きくなることを新たに提起する。

- 本研究は JEITA EDA 技術専門委員会 PDS 研究会の活動として実施されたものである。

2.1 MOS 電流特性

図1は90nmプロセスで試作したNMOSの電流特性(I_{ds})およびそのチップ内ばらつき($\sigma(I_{ds})$)の測定結果例である[10]。温度を横軸にとり、上記NMOS I_{ds} の各特性値を縦軸に示してある。図から以下のことがわかる。

- 1) 温度が高くなるに従って I_{ds} は小さくなる
- 2) 温度が高くなると、 I_{ds} の相対ばらつきは小さくなる

すなわち、電流ばらつき $\sigma(I_{ds})$ から見たワースト条件は低温時となる。

2.2 Cu 配線抵抗

図2は、配線抵抗の温度依存性特性の実測結果[10]である。温度を横軸にとり配線抵抗値(R)とそのばらつき($\sigma(R)$)の各特性値を縦軸に示してある。図から以下のことがわかる。

- 1) 温度が高くなるに従って配線抵抗値は大きくなる
- 2) 温度が高くなると、配線抵抗値の相対ばらつきは小さくなる

従って、配線遅延特性から見た場合でも、配線抵抗 R のワースト(遅延が大きくなる)条件は高温であり、遅延ばらつき相対値($\sigma(R)$)から見たワースト条件は低温となる。

「Cu配線の抵抗」の温度上昇による平均抵抗の増加は電子の散乱(フォノン散乱)の増大により生じる。高温ではCu結晶原子の振動が大きくなり電流のキャリアとなる電子の散乱が大きくなるためバルク抵抗が増大する。他方、配線の微細化により配線幅が電子の平均自由行程に近づくため、バルク抵抗に対する粒界および界面散乱抵抗の比率が増加することが知られている[8][9]。Cu配線の細線化によって等価シート抵抗が大きくなるのはこのためである(図8参照)。

「Cu配線抵抗のばらつき」は、Cuグレインの大きさのばらつきが一つの要因と考えることができる。高温になると、バルク抵抗が増加し、粒界および界面に依存する散乱抵抗については抵抗の温度依存性が小さいため[8][9]、全体のばらつきを相対値で評価すると配線抵抗ばらつきは小さくなる。すなわち、微細化が進むにつれて、配線抵抗の相対ばらつきの低温ワーストの傾向はますます著しくなると推定される。

以上の考察をまとめると、ばらつき考慮設計という観点で回路特性ばらつきを評価する場合には、回路特性の低温動作に注意を払う必要があることがわかる。

3 配線遅延ばらつきの温度依存性

65nmプロセスのSPICEパラメータを用いて、低電圧($V_{dd}=1.0V$)基本デジタル回路特性のばらつき評価を行う。ここで用いた各種定数は表1に示すものである。各定数は、基本的にITRS 2006[5]に示されたデータを基に決定した。ただし、素子のチップ内ばらつき量に関する指針は上記ITRSに示されていないため、文献[6][7]等より筆者らが推定した値を用いた。

3.1 無負荷のセル遅延

65nmプロセスCMOS回路の典型例として、図3に示すバッファ回路を用いる。このセルは駆動能力 $x1$ のインバータが直列に2段で構成され、その間は拡散と $M1$ のコンタクト、 $M1$ の配線、 $M1$ とゲートとのビアで接続される。

図4はこの回路において、遅延ばらつきの温度依存性をモンテカルロ解析で評価した結果を示す。(a)では、横軸に温度、縦軸に回路遅延の平均値と相対ばらつき量をプロットしている。また、図(b)では、ばらつき要因を明確にするために、横軸を温度、縦軸をMOSばらつき成分・配線抵抗ばらつき成分に分けて評価した結果を示す。

この結果より、無負荷の場合のセル遅延のばらつきは、そのほとんどの部分がMOS特性ばらつきで決まっていることがわかる。

3.2 配線RCを含むパス遅延

65nmプロセスにおけるパス遅延を評価するための典型的な回路として、図5に示すインバータ2段の回路を用いる。インバータの駆動能力は $x64$ 、配線は $1\mu m$ を仮定し、ITRS[5]のグローバル層における孤立配線の寄生抵抗と寄生容量は計算により求めた値を用いる。

図6はこの回路において、遅延ばらつきをモンテカルロ解析で評価した結果である。遅延及びばらつきは本回路の2段での結果である。図4と同様に、温度依存性を含めた解析結果を示すために、(a)では、横軸に温度、縦軸に回路遅延の平均値と

相対ばらつき量を示した。また、(b)では、横軸に温度、縦軸をばらつきとし、その要因を評価するためにトランジスタのばらつき成分と配線抵抗のばらつき成分に分けて評価した結果を示す。無負荷のセル遅延の場合と異なり、配線 RC を含むパス遅延のばらつきでは、配線特性ばらつきの影響も顕著になることがわかる。また、パス遅延ばらつきは、セル遅延の場合と比べて 1/2 以下に小さくなっている。これはゲート面積サイズの大きなトランジスタを使うため I_{ds} ばらつきが小さくなっていることによる。

4 45nm ノードにおけるばらつきの予測

45nm ノードではトランジスタの特性ばらつきは益々大きくなることが予想されている。同様に、配線抵抗ばらつきも増大することが予想される。

ここでは、各素子特性のばらつきが 45nm プロセスでどのように増大するかを推定すると共に、回路特性ばらつきに与える影響を評価する。

4.1 素子特性ばらつき

図 7 はプロセス世代 (90nm, 65nm, 45nm) における、トランジスタの最小 W/L 寸法値、しきい電圧値とそのばらつき σ 値、および Cu 配線抵抗の相対ばらつき σ 値を示す一覧表である。この数値を解析条件として使用した。45nm プロセスでの V_{th} ばらつき及び Cu 配線抵抗ばらつきの温度依存性に関するデータは、現時点では筆者の知る限り報告されていないため、温度係数は 90nm プロセスにおけるデバイスと同一と考えて解析を行う。また、配線抵抗ばらつき ($\% \sigma (R)$) のトレンドは文献 [5] [8] [9] に示された実験データと図 8 より、以下のような方法で求めた。すなわち：

- (1) Cu 配線の配線幅を ITRS2006 から各プロセス世代で抽出する。
- (2) Cu 配線抵抗率の成分解析を示す図 8 を用いて各配線幅における粒界散乱/界面散乱成分の全抵抗率に対する比率を求める。
- (3) Cu 配線抵抗ばらつきの原因が粒界散乱/界面散乱によると仮定して、90nm 配線抵抗ばらつき実測値をリファレンスとして 65nm/45nm 配線の抵抗ばらつき (=抵抗率ばらつき) を上記 粒界散乱/界面散乱成分比率から計算する。

図 9 は上記の手順で各世代の Cu 配線抵抗ばらつき ($\% \sigma (R)$) (温度依存性を含めて) を求めた特性である。

4.2 回路特性ばらつき

4.1 節で示したデータを用いて、3 章で行ったモンテカルロ解析結果をベースに、45nm ノードでのデバイス・回路でのばらつきを評価する。モンテカルロ解析により求めた特性予測結果を図 10 に示す。これにより得られた知見は以下の通りである。

- 1) 65nm ノードと比較して 45nm ノードでは、温度変動を含む遅延相対ばらつきは、トランジスタのばらつき成分、配線抵抗ばらつき成分とも増大すること
- 2) 特に、配線抵抗ばらつき成分の影響は 2 倍大きくなるため、配線特性のばらつきも考慮した設計を行う必要があること

4.3 結果の検討

図 10 より、45nm プロセスでは、低温 (-40°C) における遅延ばらつきはワーストケース 3σ 値で 6.0% になる。このうち、配線ばらつきの寄与率は 32% である。従って、45nm ノードでのばらつき考慮設計では、(1) 低温でのばらつきマージンの考察、(2) MOS I_{ds} ばらつきだけでなく配線ばらつきの考慮、が必須になってくると考える。

5 まとめ

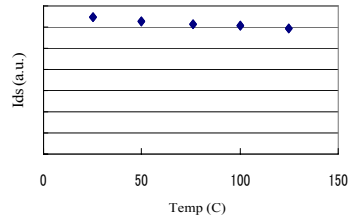
ばらつきの温度依存性を初めて詳細に評価し、その結果低温で相対ばらつきがワースト (最大) となることを示した。さらに、配線遅延ばらつきの温度特性を解析することにより、無負荷のセル内配線ではトランジスタのばらつき温度特性効果が支配的であるが、長配線のセル間ドライバ特性では配線ばらつきが低温において特に顕著になることを指摘し、この傾向はプロセスが微細になるに従って増大することを明らかにした。

謝辞

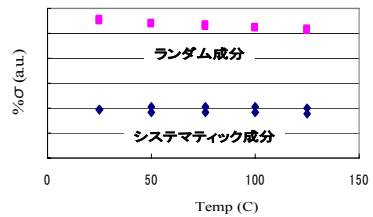
本論文の図1、図2は、2005年度半導体理工学研究センターのあすかプロジェクト活動で得られた結果を利用致しました。

参考文献

- [1] S. B. Samaan, “The impact of device parameter variations on the frequency and performance of microprocessor circuits,” ISSCC 2004, Microprocessor Circuit Design Forum Digest, p.29, Feb. 2004.
- [2] H. Masuda et al., “Challenge: variability characterization and modeling for 65- to 90-nm processes,” CICC 2005, pp.593-595, Sep. 2005.
- [3] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, “Matching properties of MOS transistors,” IEEE J. Solid-State Circuits, vol. 24, no. 5, pp.1433-1440, Oct. 1989.
- [4] 増田弘生, “MOS トランジスタの特性ばらつき,” VLSI 夏の学校, 8月, 2006年
- [5] ITRS2006; <http://www.itrs.net/>
- [6] S. Ohkawa, M. Aoki, and H. Masuda, “Analysis and characterization of device variations in an LSI chip using an integrated device matrix array,” IEEE Trans. Semiconduct. Manufact., vol. 17, no. 2, pp. 155-165, May 2004
- [7] M. Aoki, S. Ohkawa, and H. Masuda, “Design guidelines and process quality improvement for treatment of device variations in an LSI chip,” IEICE Trans. Electronics, vol. E88C, no. 5, pp.788-795, May 2005.
- [8] W. Steinhogel et al., “Scaling laws for the resistivity increase of sub-100 nm interconnects,” SISPAD 2003, pp.27-30, Sept. 2003.
- [9] Semiconductor International; http://www.sijapan.com/content/0507vol2/cover/cover_0507.html
- [10] 半導体理工学研究センター, 90nm TEG データ



(a) Ids 温度依存性

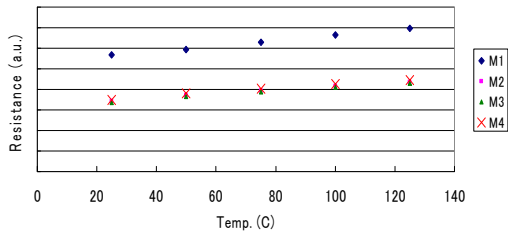


(b) Ids ばらつき温度依存性

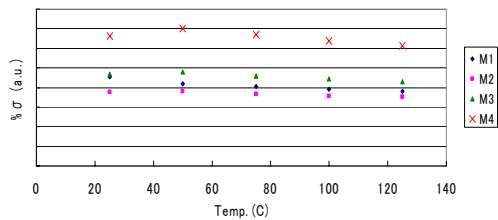
図1 NMOS ドレイン電流およびばらつきの温度依存性測定結果[10]

表1：解析に使用したパラメータ

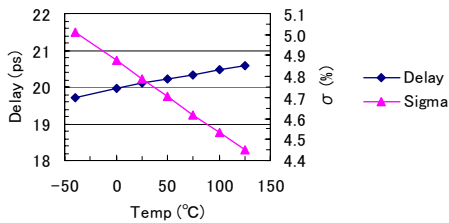
(1) Tech Node=65nm
NMOS: L=60nm, W=300nm, Vthn0=0.4V, $\sigma(V_{thn0})=30mV$
PMOS: L=60nm, W=500nm, Vthp0=-0.4V, $\sigma(V_{thp0})=25mV$
Vdd=1.0V
Temp=25°C
SPICE パラメータ=Typical
(2) Simulation Method
Monte Carlo (2000 Runs)
Monte Carlo Parameters:
Vtn0 & Vtp0 (random) of all MOS Transistors
Ln & Lp (systematic) of all MOS Transistors
Wire Resistance (random & systematic)
(3) Simulator:
Synopsys 社製HSPICE



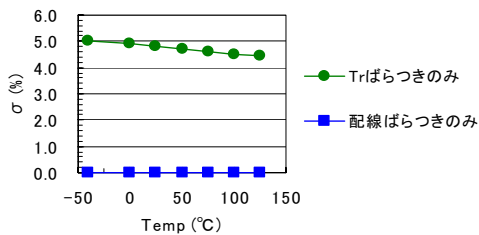
(a) 配線抵抗の温度依存性



(b) 配線抵抗のランダムばらつきの温度依存性
 図2 Cu配線抵抗およびばらつきの温度依存性
 測定結果[10]



(a) 無負荷のセル遅延の平均値と相対ばらつき



(b) 無負荷のセル遅延相対ばらつきの成分分離

図4 無負荷のセル遅延のばらつき

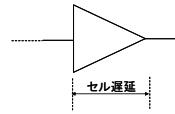


図3 無負荷のセル遅延の評価回路

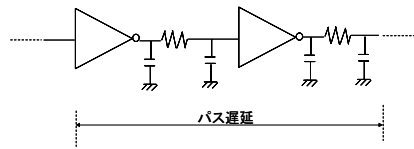
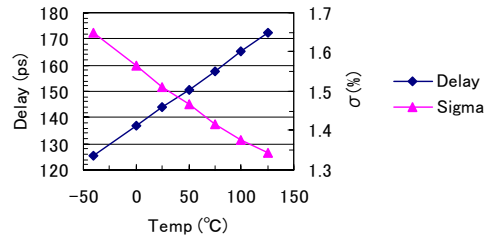
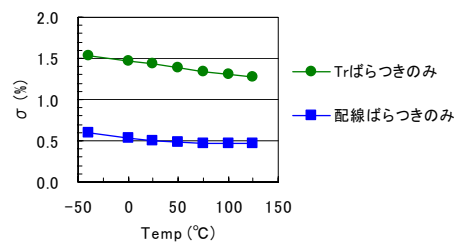


図5: 配線RCを含むパス遅延の評価回路



(a) 配線 RC を含むパス遅延の平均値と相対ばらつき



(b) 配線RCを含むパス遅延の相対ばらつきの成分分離

図6 配線RCを含むパス遅延のばらつき

	L(um)	W(um)	Vth0(V)	σ Vth(mV)	% σ (R) 配線抵抗ばらつき
90nm(N)	0.1	0.5	0.4	25	0.75
65nm(N)	0.06	0.3	0.4	30	1.05
45nm(N)	0.032	0.2	0.4	35	1.46
90nm(P)	0.1	0.8	-0.4	20	0.75
65nm(P)	0.06	0.5	-0.4	25	1.05
45nm(P)	0.032	0.3	-0.4	30	1.46

図7 45nm-90nm プロセスでの解析条件一覧

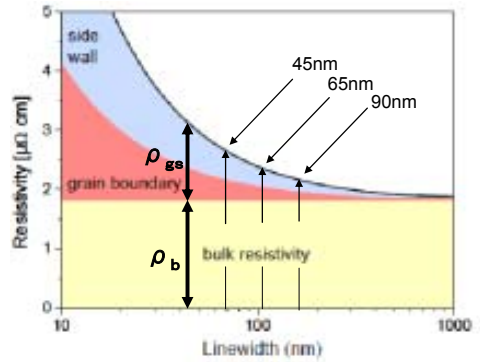


図8 配線抵抗率の配線幅依存性[5]

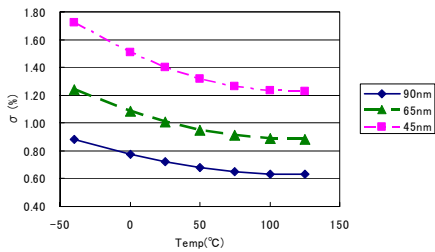
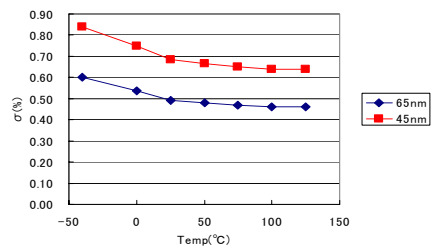
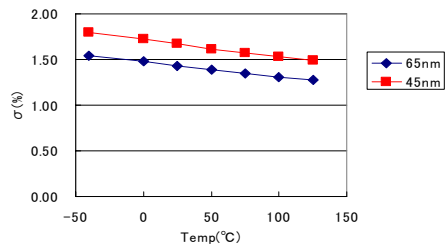


図9 45nm-90nm プロセス Cu 配線抵抗ばらつきの温度依存性計算結果



(a) 配線抵抗ばらつきのみ考慮



(b) Tr. ばらつきのみを考慮

図10 45nm プロセスのパス遅延ばらつき予測