

# 電源ノイズの空間的相関を考慮した統計的タイミング解析 Statistical Timing Analysis Considering Spatially Correlated Dynamic Power Supply Noise

榎並孝司                      二宮進有                      橋本昌宜  
大阪大学 大学院情報科学研究科 情報システム工学専攻

Takashi ENAMI                      Shinyu NINOMIYA                      Masanori HASHIMOTO  
Dept. Information Systems Engineering, Osaka University

## 概要

近年、電源ノイズがタイミングに与える影響が大きくなっている。電源ノイズは入力ベクトルにより変化し、タイミングが最悪となる入力ベクトルを求めるのは非常に困難である。本論文では、統計的に電源ノイズを取り扱った静的遅延解析を提案する。電源ノイズを動的変動情報を保持した無相関な変数の線形和に変換し、統計的モデルとして表現する。電源電圧の空間的、時間的相関は非常に強いと見做し、直交化手法として主成分分析が有効であることを示す。実験により提案手法の有効性を示し、遅延解析精度と計算時間を議論する。

## 1 序論

ナノメートル世代の集積回路では製造ばらつきが回路性能に大きく影響するようになり、ばらつきを考慮したタイミング解析が盛んに研究されている [1, 2, 3]。さらに、消費電流の増大と電源電圧の低下により、電源ノイズが回路遅延に与える影響も増大している。そのため、電源ノイズを考慮したタイミング検証が強く求められている。これの実現には、タイミングにとって最悪となるノイズの推定が問題となる。電源ノイズは入力信号や内部レジスタの状態、回路構造により、クロックサイクル内で、およびクロックサイクルごとに変化する。回路規模の増大と共に入力信号とレジスタの状態の組み合わせは指数的に増大するため、タイミングが真に最悪となるノイズを推定することは極めて困難である。

電源網と入力ベクトルを用いた動的な解析により、電源ノイズの影響を考慮したタイミング情報を得ることができる。しかし、動的な解析では一部のパスの遅延のみしか検証できないという欠点がある。また、たとえ電圧降下が最大となる入力ベクトルを見つけることができたとしても、その入力ベクトルがタイミングにとっても最悪になるとは限らない。効果的なテストベクトルを見つけることは計算量的に非常に大きな問題であり、それを解くことは現実的に不可能である。

静的遅延解析 (STA) においては、一般的に最大降下時

の電圧などの一定値を全ゲートに与えることにより電圧ノイズを考慮した解析を行っている。この方法は計算量の観点で有利ではあるが、見積もりが楽観的、もしくは過度に悲観的にならない電圧値を決定するための体系的な方法が無い。全ゲートに最大降下電圧を与える場合、推定値は非常に悲観的なものとなり、タイミングの非収束や過設計などの問題が起こる。この問題を解決するため、動的な電圧変動を考慮したタイミング解析が提案され [4, 5]、商用ツールも市販されている。しかし、ワーストケースとなるノイズを推定する必要があるため、入力パターン問題は依然として残る。

タイミングにとって最悪となるノイズを見つけることは非常に困難であるが、一方で設計回路が目標の周波数で動作することを定量的な方法で検証する必要がある。厳密でなくとも妥当な精度でタイミングにとって最悪となるノイズを推定することが求められている。近年、電源ノイズが遅延に与える影響を統計的に取り扱う方法が提案されている [6, 7]。文献 [6] では消費電流の統計的モデルを作成し、電源網のインパルス応答との畳み込みにより電圧変動を推定している。文献 [7] ではまずブロックごとの電圧変動の平均、分散およびブロック間の相関係数を求め、それから遅延を推定している。我々は電源ノイズによるタイミング違反が特定の入力パターンに対して起こる決定論的な問題であることを認識しているが、多数の入力、レジスタがある回路では厳密な検証は不可能であり、統計的手法が設計者の定量的かつ体系的なタイミング検証を支援すると考えている。

本論文では、電源電圧変動を考慮した統計的なタイミング解析手法を提案する。提案手法では電源、グラウンドのノイズを統計的にモデル化する。電源ノイズは空間的、時間的に相関を有しており、主成分分析 (PCA) や独立成分分析 (ICA) などを用いて変数を直交化する。その後、構築したモデルを用いて統計的遅延解析 (SSTA) を行う。この手法は従来の製造ばらつきを考慮した SSTA [1, 2] と親和性が高く、電源と製造、両方のばらつきを統一的に扱っ

た SSTA が可能となる。また、電源ノイズは空間的、時間的に強い相関を持つため、PCA を用いると少数の変数で電源ノイズを表現でき、タイミング解析のための計算時間を削減することが可能となる。電源電圧変動が厳密には正規分布に従わない場合においても、必要に応じて分布の変換手法 (例:Box-Cox 変換) を用いることにより、PCA による統計的モデル化が機能することを示す。

本論文ではモデル化に必要な電源変動情報は与えられと仮定する。電源ノイズの推定は困難であるが、インパルス応答と消費電流との畳み込みや論理シミュレーションの結果などを用いることで解決できると考えている。

本論文は以下の構成をとる。まず 2 節で電源ノイズを考慮したタイミング解析の問題について議論する。3 節ではモデル化の方法について示す。4 節で提案モデルを用いて SSTA を行う方法を説明し、5 節で実験結果を示す。最後に、6 節で議論を総括する。

## 2 電源ノイズを考慮したタイミング解析の問題点と提案手法

電源ノイズを考慮したタイミング解析において、最大電圧降下が必ずしも最悪の遅延に結びつかないという問題がある。電源電圧はクロックサイクル内およびクロックサイクル毎に、空間的、時間的に変化する。そのため、タイミング違反を検出するためにはクリティカルパスの空間的位置も同時に考慮しなければならない。

図 1 を用いて、最大電圧降下時に最悪遅延とならない例を示す。グラフの実線、破線はそれぞれサイクル#(c)、#(d) の電源ノイズ波形とする。もしエリア A にクリティカルパスがあれば、サイクル#(c) のときの遅延がサイクル#(d) のときの遅延よりも大きい。しかし、クリティカルパスがエリア B にある場合は、サイクル#(c) と #(d) のどちらがタイミングに厳しいかは判断できない。ノイズ波形は入力ベクトルにより変化する。入力ベクトルとレジスタの状態の組み合わせは非常に多く、その全てについて検証することは不可能である。この問題に対し、電源ノイズの空間的情報を統計的に保持したモデルを構築し、統計的遅延解析に適用する手法を提案する。この手法ではクリティカルパスの位置と空間的な電圧ノイズの違いを同時に考慮できるため、問題の解決が可能である。

実際、5 節で得られたデータでは、電源ノイズが最大であっても遅延が最悪とならない結果が得られている。ここでは、最大電源ノイズはチップ内を分割していないときの電位差のクロック内平均が最小であるときのものと定義している。ISCAS85 ベンチマーク回路の一つである c1908 の解析において、電源ノイズが最大のときの遅延が 1500 サイクル中 3 番目の長さという結果が得られた。従って、最大電源ノイズのみでは最悪遅延を求められない。

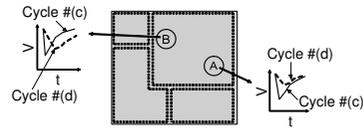


図 1: 電源ノイズの空間的、時間的差異

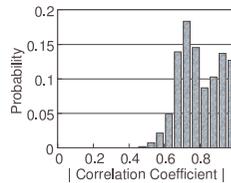


図 2: 電源電圧の空間的相関

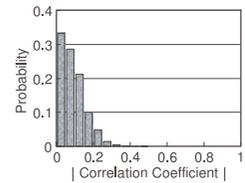


図 3: 消費電流の空間的相関

提案手法では変数間の相関を考慮した SSTA を効率よく行うために、まず電源電圧変数の直交化を行う。PCA や ICA などの直交化手法を用いると、変数間の相関情報を失わずに無相関な変数の線形和に変換できる。そのため相関を考慮した SSTA の計算量を大幅に削減できる [1]。

直交化手法として PCA を用いる場合、次の利点がある。強い相関を持つガウス変数に PCA を用いれば、ごく僅かなガウス変数で元の変数を非常に高い精度で近似できる。ここで、電源ノイズが空間的に強い相関を持つ例を示す。1mm 角の FPU[8] 回路に生じる電源ノイズを考える。チップ内を 10×10 グリッドに分割し、それぞれの  $V_{DD}$  側電圧のクロックサイクル内平均を変数とおく。評価は後の 5 節と同じ条件で行った。変数間の相関係数のヒストグラムを図 2 に示す。各変数間には非常に強い相関が見られ、26.4% もの変数の組み合わせが相関係数 0.9 を超えた。従って PCA を行うことにより、少数の変数によるコンパクトな統計モデルで電源電圧変動が表せることが期待できる。変数が少なければ、SSTA やモンテカルロ解析の計算量を低く抑えることができる。一方、同様の方法で消費電流を変数としたときの各変数間の相関係数のヒストグラムを図 3 に示す。消費電流の空間的相関は比較的弱く、電源電圧ほど変数の削減が期待できない。隣接ノード間の消費電流の相関は弱い、電源電圧は電源網のインピーダンスで結合しているため強い相関を示す。

PCA は変数が正規分布をとることを仮定している。実際の電源ノイズ変数は非正規分布であり、モデル化時に誤差を生じる可能性がある。この問題を解決する方法の一つとして、Box-Cox 変換 [9] などの正規化手法を用いることが考えられる。この変換を用いると、変数を正規分布に近づけることができる。

提案する変数の直交化を用いた手法には、従来の製造ばらつきを考慮した SSTA [1, 2, 3] と互換性があるという利点がある。構築した電源ノイズの統計モデルは製造ばらつきのモデルと同様の方法で表現できるので、クロックサイクル内の電圧変動を扱うための変更が必要である

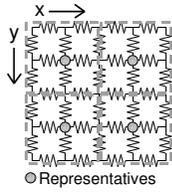


図 4: 空間的離散化・破線の領域に分割

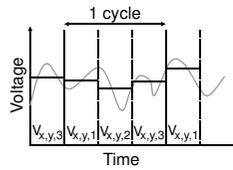


図 5: 時間的分割・クロックサイクル内を分割

ものの、電源ノイズの影響を容易に SSTA に組み込むことができる。それ故に、製造ばらつきと電源変動を統一的方法で扱った SSTA を実行可能であり、5.4 節で実験により証明する。

### 3 電源ノイズの統計的モデル化手法

本節では、提案する電源ノイズのモデル化手法を説明する。ここからは電源電圧変数は正規分布であるか、変数変換により正規分布に変換できると仮定する。よって、本論文では直交化手法として PCA を採用する。実際に非正規性が主要な誤差要因とならないことを、5 節の実験で示す。電源電圧変数の分布が正規分布から大きく外れている場合でも、本提案と同様の概念で ICA[3] を適用することにより解決可能である。

#### 3.1 電源変数の離散化

電源ノイズは空間的、時間的に変化する。そのためまず空間方向、時間方向の離散化を行い、それぞれを変数とおく。

空間的連続性は、チップや回路ブロックを 2 次元のグリッドに分割し各領域から代表値を選ぶことにより除去する。代表値としては、各領域の中央点の値 (図 4) や領域内の平均値などが挙げられる。領域内の全ノードの電圧値は全て等しいと仮定する。

電源ノイズは製造ばらつきと異なり、時間的に変化する。そのため、時間的にも離散化する必要がある。時間的離散化はまずクロックサイクルごとに分割し、各時間から平均値 (図 5) などの代表となる電圧値を選択する。長いパスの遅延はサイクル内の平均値でほぼ決定される。一方、クロックサイクル内においてもさらに分割を行い、サイクル内の動的变化も表す電源ノイズモデルを構築することで、解析精度を向上させることが可能である。

各変数において、クロックサイクルごとの値を別サンプルとして扱う。図 5 は位置  $(x, y)$  の電圧波形を 3 分割し、それぞれ  $V_{x,y,1}$ 、 $V_{x,y,2}$ 、 $V_{x,y,3}$  という 3 つの変数においたときの例である。時間分割数はモデルが必要とする精度により決定できる。電源変動を細かく表現する必要があるときは分割数を増やし、逆にあまり精度が求められないならば分割数を減らして変数を削減する。時間分割数と解析精度の関係については、5 節で議論する。

### 3.2 変数変換による直交化

得られた変数に対し、正規化、直交化といった変数変換を行うことにより、コンパクトな統計モデルを構築する。

#### 3.2.1 正規化

まず、変数の正規化を行う。この変換は、変数が十分に正規分布に従っていると見做せれば省略できる。有名な正規化手法として、Box-Cox 変換が挙げられる [9]。Box-Cox 変換には複数の亜種があるが、本論文では以下の変換式を用いる。

$$z' = \begin{cases} \frac{z^\Lambda - 1}{\Lambda} & (\Lambda \neq 0), \\ \log(z) & (\Lambda = 0). \end{cases} \quad (1)$$

ここで、 $z$  は電源変数  $V_{x,y,t}$  に対応している。正規性を最大化する  $\Lambda$  は各変数  $V_{x,y,t}$  ごとに定めることができ、SSTA を行う際はその値を用いる。

#### 3.2.2 主成分分析による直交化

関連のあるランダム変数に対し PCA を行うと、主成分と呼ばれる無相関な変数の線形和に変換される。PCA は、まず変数の相関係数行列か分散共分散行列を計算し、その後行列の固有値と固有ベクトルを求めて、実行される。PCA を行うと、 $z_i$  は式 (2) に変換される。ここで  $\lambda_j$  は  $j$  番目に大きい固有値、 $e_{ij}$  は  $j$  番目の固有ベクトルの  $i$  番目の値、 $\mu_i$  は  $z_i$  の平均値、 $\sigma_i$  は  $z_i$  の標準偏差、 $k$  は主成分数、 $pc_j$  は  $j$  番目の主成分を表す。主成分  $pc_j$  は元の  $n$  変数  $z_i$  の線形和で、式 (4) で表される。主成分は相互に無相関な変数であるため、SSTA[1] における計算が大幅に容易化される。さらに、元の変数間に強い相関があれば、 $z_i$  は  $k' (\ll k)$  のみの主成分を用いて式 (3) に近似することができる。先に Box-Cox 変換を行った場合は、式 (2)、(3)、(4) の  $z_i$  を  $z'_i$  で置き換えた形となる。

$$z_i = \mu_i + \left( \sum_{j=1}^k \sqrt{\lambda_j} e_{ij} pc_j \right) \sigma_i \quad (2)$$

$$\approx \mu_i + \left( \sum_{j=1}^{k'} \sqrt{\lambda_j} e_{ij} pc_j \right) \sigma_i, \quad (3)$$

$$pc_j = \frac{1}{\sqrt{\lambda_j}} \sum_{i=1}^n \left( e_{ij} \frac{z_i - \mu_i}{\sigma_i} \right). \quad (4)$$

#### 3.2.3 計算量の評価

変数のサンプル数と次元をそれぞれ  $m$ 、 $n$  とおく。式 (1) の Box-Cox 変換における最適な  $\Lambda$  は尤度関数により求まる。よって、Box-Cox 変換の計算量は  $O(m)$  と表せる。この変換を全  $n$  変数に対して行うので、合計  $O(mn)$  の計算量となる。一方、PCA の計算量は  $O(n^3)$  で表される [1]。即ち、変数変換全体の計算量は  $O(n^3)$  となる。この計算量は決して小さいものではないが、変数変換は SSTA の前に一度行うだけなので許容できると考える。

5節では、SSTAの精度と空間的、時間的分割数との関係の評価。そして、どれだけの細かさで分割すれば十分かを実験により議論する。PCAの計算コストが許容できない場合は、電源電圧変動の局所性を利用し[11]、モデル化する領域を限定することにより分割数を削減する。

#### 4 電源ノイズの統計モデルを用いた SSTA

本節では提案モデルを SSTA に適用する方法について議論する。提案モデルはパスベース、ブロックベース双方の SSTA に適用可能である。

式(5)は SSTA によく用いられているゲート遅延の表現形式である。 $a_{i,j}$  は変数  $pc_j$  に対する遅延  $d_i$  の感度を表す。変数が正規分布に従う場合、この形式を用いることで基本演算である  $sum$  や  $max$  を効率よく実行できる[1]。

$$d_i = \mu_i + \sum_{j=1}^{k'} a_{i,j} pc_j. \quad (5)$$

提案手法ではこのゲート遅延式を用いる。位置  $(x, y)$ 、時間  $\#l$  における遅延  $d_{x,y,t}$  は以下の式で表される。

$$\begin{aligned} d_{x,y,t} &= \mu_{x,y,t} + \sum_{j=1}^{k'} \sqrt{\lambda_j} \sigma_{V'} \frac{\partial d_{x,y,t}}{\partial V'} e^{(V'_{x,y,t})_j} pc_j \\ &= \mu_{x,y,t} + \sum_{j=1}^{k'} a_{(x,y,t),j} pc_j, \end{aligned} \quad (6)$$

ここで、 $V'$  は電位差 ( $V_{DD} - V_{SS}$ ) を Box-Cox 変換したものである。 $\mu$  は  $V'$  の遅延の平均値、 $\sigma_{V'}$  は  $V'$  の標準偏差を示す。 $\partial d/\partial V'$  は  $V'$  に対する遅延の感度であり、 $\partial d/\partial V'$  と式(1)から容易に導出できる。式(6)は式(5)に対応した形をしており、製造ばらつきと電源ノイズを同時に考慮できる。

製造ばらつきの場合とは異なり、提案手法ではもう一つ検討すべき事項がある。空間的離散化のみを行う場合は、各パラメータの値は分割領域ごとに一意に定まる。しかし時間的離散化を行う場合、ゲートの遷移タイミングにより対応させる電圧変数が異なり、遷移中に分割境界を跨ぐ可能性がある。さらに時間分割間隔が粗いときには隣り合う電圧値の差が大きくなるため、大きな推定誤差を生じうる。この誤差を小さくするため、遷移の入力と出力のタイミングが異なる時間領域になるときは加重平均を用いた補正を行う。ここで  $t_I$  と  $t_O$  をそれぞれ入力と出力のタイミングを表すとし、それぞれが  $\#(l)$  と  $\#(l+1)$  の時間領域にあるとする。まず、時間領域  $\#(l)$  の平均値である  $\mu_l$  を用いて、 $t_O$  を  $t_O = t_I + \mu_l$  により求める。これらの値を用いて、式(6)の平均値  $\mu'$  や係数  $a'_{(x,y,t),j}$  の再計算を以下の式により行う。

$$\begin{aligned} \mu' &= \frac{\Delta t_I}{\Delta t_I + \Delta t_O} \mu_l + \frac{\Delta t_O}{\Delta t_I + \Delta t_O} \mu_{l+1}, \\ a'_{(x,y,t),j} &= \frac{\Delta t_I}{\Delta t_O + \Delta t_O} a_{(x,y,t_I),j} + \frac{\Delta t_O}{\Delta t_I + \Delta t_O} a_{(x,y,t_{l+1}),j}, \end{aligned} \quad (7)$$

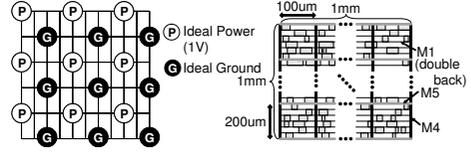


図 6: FPU の電源網

ここで、 $\Delta t_I$  は  $t_I$  から境界までの時間、 $\Delta t_O$  は境界から  $t_O$  までの時間、 $\mu_{l+1}$  は時間領域  $\#(l+1)$  における遅延の平均値、 $a_{(x,y,t_I),j}$  と  $a_{(x,y,t_{l+1}),j}$  はそれぞれ時間領域  $\#(l)$  と  $\#(l+1)$  における式(6)の係数である。

### 5 実験結果

本節では実験結果を示す。まず電源ノイズを統計的にモデル化することが有効であることを示し、その後提案するタイミング解析の精度を検証する。

#### 5.1 実験条件

モデル化に用いる電源ノイズの発生源として、商用の論理合成ツールを用いて 90nm プロセスのスタンダードセルで構成した FPU[8] を用いた。回路規模は 39k ゲートである。この FPU を図 6 の電源網に接続し、電源ノイズを得た。パッケージはバンプから電源が供給されるフリップチップを仮定した。FPU にはランダムな入力ベクトルを 1500 サイクル入力した。このシミュレーション結果に対し、PCA を実行し電源モデルを作成した。

SSTA とモンテカルロ解析は、ISCAS85 ベンチマーク回路を用いて、Opteron 2.4GHz プロセッサと 4GB のメモリが搭載されたコンピュータ上で行った。FPU から得られた電源ノイズをこのベンチマーク回路に与えて、タイミング解析を行った。

#### 5.2 電源ノイズの統計的モデル化の妥当性

##### 5.2.1 電源ノイズの分布

電源電圧分布の一例を図 7 に示す。大部分の変数は正規分布に近い分布をとっているが、ここでは特に正規分布から外れたものを選択した。図 8 は図 7 の正規確率プロットである。正規確率プロットでは、分布が正規分布であれば全ての点が対角線上に乗る。逆に対角線から離れているときは、正規分布から大きく外れている。図 8 の多くの点は対角線から外れており、図 7 から判別できるように正規分布から外れている。

図 7 の分布を持つ変数に Box-Cox 変換を施すと、図 9 に示す様にかなり正規分布に近づく。図 10 に変換後の分布の正規確率プロットを示す。点はほぼ対角線上に乗っており、正規性が改善されている。5.3 節の実験で、SSTA の結果がモンテカルロ解析の結果に十分近いことを示す。それにより、電源ノイズを PCA を用いて直交化することが有効であることを示す。

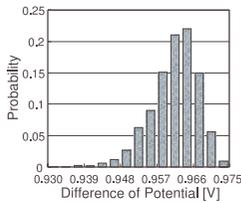


図 7: Box-Cox 変換前の電源電圧分布

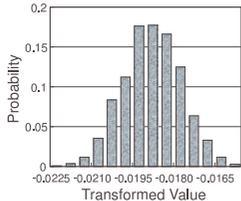


図 9: Box-Cox 変換後の電源電圧分布

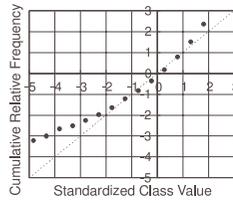


図 8: 図 7 の正規確率プロット

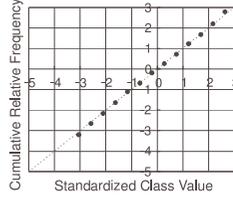


図 10: 図 9 の正規確率プロット

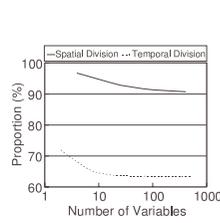


図 11: 第 1 主成分の寄与率

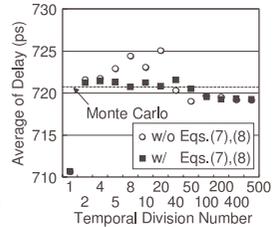


図 12: 時間分割数と遅延の平均値 (c1908)

表 2: 空間分割数と解析精度 (c1908)

分割数	平均 (ps)	偏差 (ps)	CPU 時間 (ms)
1×1	721.2	8.68	1.8
2×2	721.5	8.71	2.6
4×4	721.2	8.72	7.4
5×5	721.7	8.76	11.7
10×10	721.5	8.74	45.7

表 3: 主成分数と解析精度 (c6288)

主成分数	累積寄与率 (%)	平均 (ps)	偏差 (ps)	CPU 時間 (ms)
1	51.1	2708	25.19	12.5
2	70.6	2708	26.64	13.6
4	85.6	2708	26.64	14.4
50	99.6	2708	26.63	28.8
200	99.95	2708	26.63	81.7
1000	100	2708	26.63	387

### 5.2.2 変数削減率の評価

変数間の相関が強いときは、それらの変数を少数の主成分で表現することができる。本節では、主成分の削減可能性について議論する。必要な主成分数の指標として、累積寄与率 [10] が一般的に用いられる。k' 番目の主成分までの累積寄与率は、各主成分の寄与率の和である  $\frac{1}{n} \sum_{j=1}^{k'} \lambda_j$  で表される。ここで、n は元の変数の次元を表している。累積寄与率が 1 に近づくほど、元の変数の分布に近くなる。

図 11 に分割数を変更したときの第 1 主成分の寄与率を示す。実線はクロック内分割を行わないときの空間分割数と寄与率の関係を示している。一方、破線は空間的分割を行わず時間分割数を変更したときの寄与率との関係を示している。電源網のインピーダンスにより空間的相関が強くなるため、またチップ内の寄生容量により電源ノイズがなめらかになり時間的相関が強くなるため、分割数の増加はあまり寄与率の減少には影響しない。このように変数が非常に多い場合でも、少数の主成分で高い累積寄与率を得ることができる。ここで一例として、空間分割数が 10×10、時間分割数が 10 であるときに、累積寄与率が 90% を超えるために必要な主成分数を調べた。この例では、1000 のうち僅か 6 つの主成分のみで累積寄与率 90% を達成している。SSTA の計算量は主成分数に比例するので [1]、この場合は 99% 以上計算量が削減できる。

### 5.3 電源ノイズを考慮した SSTA の結果

本節では、提案するタイミング解析手法の精度の評価を行う。まず空間分割数を 10×10、時間分割数を 10 として実験した。表 1 に、Box-Cox 変換前後の変数を用いて行った SSTA とモンテカルロ解析により得られた平均と標準偏差を示す。ここでのモンテカルロ解析は、PCA に

用いたのと同じ 1500 サイクル分の電源ノイズ情報を用いた。Box-Cox 変換を行う場合、行わない場合共に、提案する SSTA で正確にタイミングを推定できることが分かる。Box-Cox 変換を行わない場合、平均値には 0.168%、標準偏差には 11.3% の推定誤差が生じた。この誤差は遅延解析全体の誤差と比較するとそれほど大きくは無いが、Box-Cox 変換を行うことにより標準偏差の誤差を 11.3% から 7.98% に減少させることができた。

式 (7)、(8) を用いる場合、用いない場合の時間分割数と遅延の平均の関係を図 12 に示す。空間分割数は 1×1 とした。式 (7)、(8) を用いた場合、時間分割数が 20 以下のときの遅延誤差を削減できた。

次に、空間分割数と解析精度の関係を評価する。結果を表 2 に示す。時間分割数は 10 とした。この実験より、空間分割数の増加は解析精度にあまり影響せず、計算量の増加が目立つという結果が得られた。即ち、電源網の空間分割はあまり細かくする必要がない。

次に、主成分数と解析精度の関係の評価として、累積寄与率と遅延の平均、偏差との関係を表 3 に示す。ここでの空間分割数は 10×10、時間分割数は 10 とした。ここでは、僅か 2 つの主成分で全主成分を用いた場合とほぼ等しい結果が得られた。CPU 時間は 387ms から 12.5ms と元の 3% になっており、計算量が大幅に削減できた。

表 1: タイミング解析の精度

回路	セル数	SSTA w/o Box-Cox 変換		SSTA w/o - MC MC		SSTA w/ Box-Cox 変換		SSTA w/ - MC MC		モンテカルロ (MC)	
		平均 (ps)	偏差 (ps)	平均 (%)	偏差 (%)	平均 (ps)	偏差 (ps)	平均 (%)	偏差 (%)	平均 (ps)	偏差 (ps)
c432	232	825.9	9.22	0.0156	12.2	825.5	8.97	0.0610	9.07	826.0	8.22
c1355	329	468.6	5.90	0.266	12.7	468.4	5.73	0.324	9.38	469.9	5.24
c1908	387	721.5	8.74	0.110	12.8	721.1	8.49	0.0577	9.55	720.7	7.75
c6288	3382	2708	26.6	0.115	8.85	2707	25.9	0.160	5.73	2711	24.5
c7552	2070	708.4	8.76	0.332	9.71	708.0	8.48	0.396	6.19	710.8	7.98
平均	-	-	-	0.168	11.3	-	-	0.200	7.98	-	-

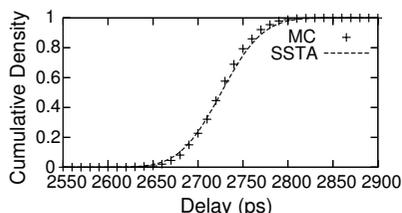


図 13: 両ばらつきを同時に考慮した SSTA 結果の累積分布関数

#### 5.4 電源変動、製造ばらつきを同時に考慮した SSTA

最後に、提案手法により動的な変動である電源ノイズと静的な変動である製造ばらつきを考慮した遅延を、統一的な方法で推定できることを示す。ここでは製造ばらつきの代表として、閾値電圧 ( $V_{th}$ ) を変動させた。ばらつきは空間的に相関を持つ成分とランダムな変動成分から成る。空間的に相関を持つ成分は、2つのゲート間の距離  $x$ mm に応じて  $f(x) = e^{-2x}$  の関数の相関係数を有しながら変動すると仮定した [14]。ここではこれら 2つのばらつき成分の分散は等しいとし、合計の標準偏差は 90nm プロセスの標準値である 25mV に設定した [14]。簡単のために、同一ゲート内の  $V_{th}$  は同じ値を取ると仮定した。さらに、ここでは  $V_{th}$  のばらつきと電源ノイズは無相関として取り扱った。実際は、これらは相関を持っていると示されているが [15]、ここでは電源ノイズと製造ばらつきを提案手法により統一的に扱えるということを示すのが目的であるため簡略化した。

図 13 に、c6288 の回路に対して両ばらつきを考慮した遅延解析を行ったときの結果を示す。空間分割数は  $10 \times 10$ 、時間分割数は 10 とした。累積度数 50% におけるモンテカルロ解析との誤差は 2ps と非常に小さく、提案手法では両ばらつきをうまく考慮できた。各ばらつきに対し  $3\sigma$  のタイミング余裕を設定すると、合計 152.9ps の余裕が必要となる。しかしながら、提案手法により同時にばらつきを考慮すると、タイミング余裕を 108.6ps に減少させることができる。すなわち、提案手法により製造ばらつきと電源ノイズを共に考慮した、新たなサインオフの指標が得ることが可能である。

## 6 結論

本論文では、変数直交化手法を用いて電源ノイズを考慮した SSTA を行う方法を提案した。実験により、電源電

圧変動が厳密には正規分布に従っていないものの、PCA により得られた少数の主成分で十分に正確な遅延解析が可能ということを示した。また、空間、時間方向にあまり細かく分割する必要がないことを確認した。分割が粗い場合、また用いる主成分数が少ない場合は計算量を抑えることができるため、提案する遅延解析は効率良く行うことが可能である。提案手法では電源ノイズを製造ばらつきと同様の形式でモデル化できるため、容易に両ばらつきを考慮した SSTA を実行することが可能である。

謝辞 本研究の一部は、STARC および NEDO の助成による。

#### 参考文献

- [1] H. Chang, and S. Sapatnekar, "Statistical Timing Analysis under Spatial Correlations," *IEEE Trans. CAD*, Vol. 24, No. 9, pp. 1467-1482, Sep. 2005.
- [2] C. Visweswariah, K. Ravindran, K. Kalafala, S. G. Walker, and S. Narayan, "First-order Incremental Block-Based Statistical Timing Analysis," in *Proc. DAC*, pp. 331-336, 2004.
- [3] J. Singh, and S. Sapatnekar, "Statistical Timing Analysis with Correlated Non-Gaussian Parameters using Independent Component Analysis," in *Proc. DAC*, pp. 155-160, 2006.
- [4] K. Shimazaki, M. Fukazawa, M. Nagata, S. Miyahara, M. Hirata, K. Sato, and H. Tsujikawa, "An Integrated Timing and Dynamic Supply Noise Verification for Nano-meter CMOS SoC Designs," in *Proc. CICC*, pp. 31-34, 2005.
- [5] M. Hashimoto, J. Yamaguchi, T. Sato, and H. Onodera, "Timing Analysis Considering Temporal Supply Voltage Fluctuation," in *Proc. ASP-DAC*, pp. 1098-1101, 2005.
- [6] S. Pant, D. Blaauw, V. Zolotov, S. Sundareswaran, and R. Panda, "A Stochastic Approach To Power Grid Analysis," in *Proc. DAC*, pp. 171-176, 2004.
- [7] Y. Jiang, and K. Cheng, "Analysis of Performance Impact Caused by Power Supply Noise in Deep Submicron Devices," in *Proc. DAC*, pp. 760-765, 1999.
- [8] OPENCORES.ORG, <http://www.opencores.org/>.
- [9] R. M. Sakia, "The Box-Cox transformation technique: a review," *The Statistician*, Vol. 41, pp. 169-178, 1992.
- [10] I. T. Jolliffe, "Principal Component Analysis," 2nd Edition, Springer, 2004.
- [11] E. Chiprout, "Fast Flip-chip Power Grid Analysis Via Locality and Grid Shells," in *Proc. ICCAD*, pp. 485-488, 2004.
- [12] M. Saint-Laurent, and M. Swaminathan, "Impact of power-supply noise on timing in high-frequency microprocessors," *IEEE Trans. on Advanced Packaging*, Vol. 27, No. 1, pp. 135-144, Feb. 2004.
- [13] Y. Ogasahara, T. Enami, M. Hashimoto, T. Sato, and T. Onoye, "Measurement results of delay degradation due to power supply noise well correlated with full-chip simulation," in *Proc. CICC*, pp. 861-864, 2006.
- [14] H. Masuda, S. Ohkawa, A. Kurokawa, and M. Aoki, "Challenge: Variability Characterization and Modeling for 65- to 90-nm Processes," in *Proc. CICC*, pp. 593-599, 2005.
- [15] P. Ghanta, S. Vrudhula, S. Bhardwaj, and R. Panda, "Stochastic Variational Analysis of Large Power Grids Considering Intra-die Correlations," in *Proc. DAC*, pp. 211-216, 2006.