

製造・環境ばらつきと製造後性能補償を考慮した タイミング検証に向けて

Timing Verification Considering Manufacturing and Environmental Variabilities and Post-Fabrication Performance Compensation

橋本昌宜

大阪大学 情報科学研究科 情報システム工学専攻

Masanori HASHIMOTO

Dept. Information Systems Engineering, Osaka University

E-mail: hasimoto@ist.osaka-u.ac.jp

概要

製造、環境ばらつきによる遅延変動が深刻化した LSI のタイミング検証技術について議論する。製造ばらつきを測定し、モデル化、解析する技術が盛んに研究されている一方、電源ノイズは入力ベクトル依存性などの問題点から検討が不十分である。本稿では、我々が取り組んでいる製造・環境ばらつきを統一的に取り扱ったタイミング検証技術の一例を紹介する。また、今後の研究動向として、製造後の性能補償を考慮したタイミング解析、歩留まり予測を取り上げ、研究課題を示す。

1 序論

製造プロセスの微細化により統計的な揺らぎに起因するトランジスタ、配線特性のばらつきが顕著になりつつある。45nm 世代では不純物数や LER (line edge roughness) による特性変動が顕著になると予想される。回路の低電圧動作、消費電流の増大や、電源遮断技術、DVS (dynamic voltage scaling) 技術の導入により電源電圧変動が回路遅延に与える影響が増大している。上記の結果、微細化に伴って製造後のチップの遅延ばらつきが増大し、歩留まりと動作速度の間に、広範囲のトレードオフが生じてきた (図 1)。

特に製造ばらつきに着目し、素子遅延が確率分布で与えられるという仮定のもとで、回路の最大遅延の分布を見積もる統計的静的遅延解析 (SSTA: statistical static timing analysis) が盛んに研究されてきた。研究の初期段階では、遅延が完全に無相関な正規分布に従うという仮定の下で、SSTA の重要性が議論された [1]。その後、ばらつきの空間的な相関成分や最収斂パスによるパス遅延の相関などの重要性が指摘され、遅延ばらつきが正規分布で表され

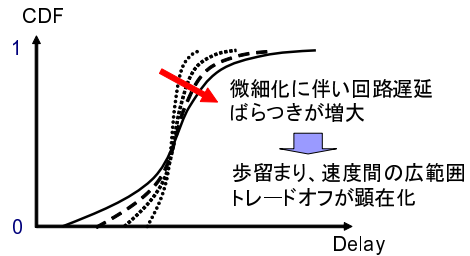


図 1: 微細化に伴う回路遅延ばらつきの増大

る前提下で相関係数を厳密に計算する手法が提案された [2]。さらに、解析可能な回路規模を制限してきた相関の取り扱いを容易化する手法が検討された。空間的な変動を主成分分析を用いて無相関変数である主成分の線形和で表し、ゲート遅延や信号到着時刻についてもその主成分の線形和で表すことで、相関の取り扱いが劇的に容易になった [3]。引き続き、非正規分布の取り扱い方法などが盛んに研究されている [4]。

一方で、電源ノイズが遅延に与える影響の見積もりは製造ばらつきほど盛んではない。現実的な見積もりを妨げている困難な問題点はいくつか存在するが、最も深刻な問題は、タイミングにとって最悪な条件となる電源ノイズの推定である。電源ノイズは入力信号や内部レジスタの状態、回路構造により、クロックサイクル内、およびクロックサイクルごとに変化する。例えば、32 入力の組み合わせ回路を考えてもその入力パターンは 4^{32} も存在する。回路規模の増大と共に入力信号と順序回路のレジスタの状態組み合わせは指数関数的に増大するため、タイミングが真に最悪となるノイズを推定することは極め

て困難である。しかし、設計現場ではなんらかの方法で電源ノイズによる動作速度低下を予測し、設計に反映させる必要がある。

近年、製造や環境のばらつきに対して動作性能を製造後に補償する技術が研究されている。回路遅延は電源電圧やトランジスタの閾値電圧に強く依存するため、電源電圧や基板電位を制御することで、性能ばらつき幅を小さく抑え、所望の動作を実現させる。今後のばらつき量の増加を考えると、製造後の性能補償は不可欠である。性能補償を実装した回路において、性能補償後の回路性能が設計目標値を満たすかどうかを見積もる技術が新たに必要になる。外部から2-3種類の電位を切り替えて与える程度であれば、ケース解析も実行可能である。しかし、例えばチップ内のレプリカ回路によって基板バイアスや電源電圧がほぼ連続的に定められる場合、補償後の回路遅延分布がどのようになるかは自明ではない。

我々の研究グループでは、将来のタイミング検証技術への要求を踏まえ、現在製造ばらつき、電源変動、温度勾配を統一的に取り扱った統計的タイミング検証技術の研究を行っている。静的な製造ばらつきと動的な環境変動を統一的に取り扱い、実際にLSIが動作する環境下での遅延歩留まりの見積もりを目的としている。電源ノイズを統計的に捕らえ、真の最悪条件が発見できない現実の大規模回路においても、合理的な最悪条件下でのパフォーマンスの見積もりを提供可能とする。

本稿では、まず2章で、現在の製造ばらつきを概観し、主流となっているSSTA技術を紹介する。ばらつきのモデル化による見積もり誤差を実験的に検討した結果についても紹介する。3章では製造、環境ばらつきを同時に取り扱ったタイミング解析を実現する上で必要となる技術を述べ、それらに対する我々の取り組みを紹介する。4章では将来のタイミング検証に必要とされるであろう研究課題について簡単に議論し、5章でまとまる。

2 製造ばらつきとSSTA

現在主流となっているSSTAの概略を説明する。

2.1 製造ばらつき

製造ばらつきは現在、以下の4成分に分けて考えられることが多い。

チップ間ばらつき成分 チップの平均特性の変動量。ウェハ間、ロット間の変動を含む。

ランダム成分 統計的な揺らぎに起因し、本質的に除去できない成分。

空間的変動成分 チップ内で緩やかに変動する成分。

レイアウト依存成分 レイアウト形状や粗密度に依存した再現性のある成分。

レイアウト依存成分は、厳密にはモデル化可能であると考えられるが、モデル化に必要なコストが見合わない場合、ランダム成分や空間的変動成分として取り扱われる。

文献[5]の報告によると、MOSの飽和電流について、ランダム成分は閾値電圧 V_{th} の変動が主要因であり、空間的変動成分はゲート長 L のばらつきによって主にもたらされている。

配線のばらつきについてはトランジスタほど検討が進められていない。90nmプロセスでは配線のばらつきはトランジスタのばらつきにくらべて非常に小さいという報告が文献[6]である一方、テスト回路パターンが規則的に存在するために小さく見えているという意見もある。多くがCMPやOPCに関連したレイアウト依存成分であると考えられるが、その他の成分が回路設計において重要であるかどうか明らかではない。

2.2 空間的変動成分のモデル化

空間的変動成分の表現方法として主に、「階層グリッド表現」、ならびに「グリッド+直交化表現」がある。いずれの方法にしても互いに無関連な変数の線形和で空間的変動成分を表現するのが特徴であり、SSTA中の相関の取り扱いを容易にしている。二つの表現方法の比較について文献[7]で議論されている。ここでは次章の議論へのつながりから「グリッド+直交化表現」について取り上げる。

空間的相関を持つパラメータを、チップを空間的に $m \times n$ のグリッドに分割し、グリッド毎に相関を持つ確率変数として表現する。同一グリッド内では同一の確率変数で変動が表現されるため、相関係数が1となる。文献[3]では、相関を持つ正規確率変数を主成分分析を用いて直交化し、無関連な正規確率変数の線形和で表現している。非正規分布の場合に対して独立成分分析を用いた直交化も提案されているが[4]、簡単のため正規分布に従ったばらつきをここでは仮定する。

主成分分析を用いたモデル化の手順を説明する。グリッド毎に与えられたばらつき変数間の相関係数行列を求める。これは、製造ばらつきの実測データなどから求める。その後、求めた相関係数行列の固有値、固有ベクトルを求める。各グリッドのばらつき p_i は主成分 p'_j の線形和として次式で表される。

$$p_i = \mu_i + \sigma_i \sum_{j=1}^m \sqrt{\lambda_j} v_{ij} p'_j \quad (1)$$

ここで、 μ_i, σ_i は p_i の平均および標準偏差、 λ_j は j 番目の固有値、 v_{ij} は j 番目の固有ベクトルの i 番目の要素、 p'_j

は j 番目の主成分, m は主成分数である。主成分 p'_j は, 互いに独立で標準正規分布に従う確率変数群である。相関を持つばらつき変数 p_i を無相関な変数群 p'_j の線形和として表すことにより, SSTA における確率分布の演算を単純化することが出来る。

2.3 遅延計算

素子遅延のばらつき変数に対する遅延変動を, 一次のテイラー展開を用いた感度法で表現する。ばらつき変数 p_i に対して, 素子遅延 d を以下の式で表す。

$$d = \mu_d + \sum_{p_i} \left[\frac{\partial f}{\partial p_i} \right]_0 \Delta p_i \quad (2)$$

ここで, μ_d は d の平均値であり, 各ばらつき変数 p_i の平均値から求められる。 $\left[\frac{\partial f}{\partial p_i} \right]_0$ は p_i に対する素子遅延の感度, Δp_i は p_i の平均値からの変化量である。

ばらつき変数の変化量 Δp_i は, 前節のモデル化により, 主成分の線形和で表現される。感度法を用いて素子遅延をばらつき変数の線形関数として表現することで, 素子遅延は主成分の線形和として表現できる。ランダム成分も加えて, 遅延を以下の式で表現するのが SSTA で主流となっている。

$$d = \mu_d + \sum_{i=1}^n k_i p'_i + N(0, \sigma_{rnd}^2) \quad (3)$$

ここで, n は主成分数, p'_i は i 番目の主成分, k_i は遅延の p'_i に対する感度, $N(0, \sigma_{rnd}^2)$ は正規分布に従うランダム成分を表している。

素子遅延だけでなく, 確率変数の和, 最大値演算を行った結果も式 (3) の形で表現することで, 信号の到着時刻も式 (3) の形式で表現できる [3]。これにより再収斂パスの考慮が可能となる。式 (3) で表された二変数間の演算は, $p'_i, p'_j (i \neq j)$ 間の相関は 0 であるため, 非常に容易に行うことができる。

2.4 解析例

2.2, 2.3 節で説明した技術を用いて SSTA を行った結果を紹介する [8]。ここでは空間的変動成分の表現に必要な空間的グリッド分割数に注目する。

90nm プロセスの 5mm 角チップを想定する。空間的変動成分として V_{th} を仮定し, その標準偏差は 25mV とした。相関は距離 x (mm) に依存し, $\exp(-2x)$ の相関係数を持つものとした。ばらつきは空間的変動成分のみとし, 配線遅延は無視した。

分割数と見積もられた回路遅延の平均, 標準偏差の関係の一例を図 2, 3 に示す。横軸は一辺あたりの分割数である。図には SSTA で得られた結果と 10000 回のモンテ

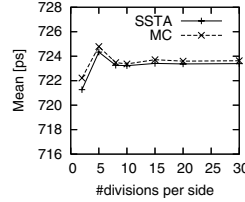


図 2: 平均遅延の見積もり結果 (c7552)

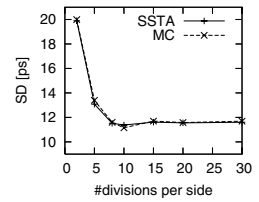


図 3: 遅延の標準偏差の見積もり結果 (c7552)

カルロで得られた結果の両方が示されている。SSTA によって高い精度の見積もりが実現できていることが分かる。10x10 程度の分割を行うことで, それ以上の分割を行った場合とほぼ同等の解が得られている。

3 製造ばらつきと環境変動を取り扱ったタイミング解析

製造ばらつきと環境変動を同時に考慮したタイミング解析を実現する上で必要となる技術を議論し, それらに対する我々の取り組みを紹介する。

3.1 必要な技術

以下に検討が必要な課題を列挙する。以降でゲート遅延モデル, 電源ノイズのモデル化について説明し, 製造ばらつきと電源ノイズを同時に考慮した遅延解析結果を紹介する。

- 製造ばらつき, 電源電圧, 基板電位, 温度に対応したゲート遅延モデル
- 遅延解析に用いる電源ノイズのモデル化
- 製造ばらつきモデル, 電源ノイズモデルを用いた遅延解析

3.2 ゲート遅延モデル

製造ばらつきや電源ノイズだけでなく, 電力削減, 性能補償などによる意図的な電源電圧や基板電位の変化を考慮した遅延解析を行うためには, 広い変動範囲に対して精度の高い遅延値を与えるゲート遅延モデルが必要となる。式 (2) の感度法では, 標準値付近の小さな変動は精度良く求めることができるが, 標準状態が大きく変わった場合 (例えば電源電圧が 1V から 0.7V に変わった場合) には, 用いるべき μ_d や感度が大きく変動し, 解析精度を損なう。一方, ばらつき変数を参照テーブルの変数に加えて次元を高くすると, キャラクターライズコストが膨大となり, 現実的ではない。

我々はばらつきをゲートの充放電電流を変化させる要因であると捉え, ばらつきによる電流変化のモデル化に取り組んでいる。文献 [9] では, 充放電電流を応答曲面法を

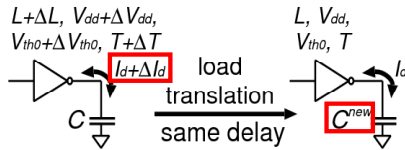


図4: 電流変動を負荷の変化に置き換えて遅延ばらつきを計算

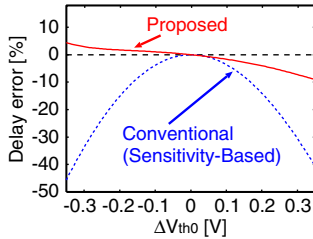


図5: 閾値のばらつきに対する見積もり精度

用いてばらつき変数の多項式で表現し、電流変化をゲート出力負荷の変化に置き換えることで、ばらつきを考えない一般的なゲート遅延モデルを用いてばらつき時のゲート遅延を与える手法を報告した(図4)。例えば、負荷と入力信号の遷移時間で表された2次元の参照テーブルを用いて、遅延ばらつきの見積もりが可能となる。提案モデルは、広い電源や閾値電圧の変化に対応可能であるため(図5)、DVSや基板バイアスによる閾値電圧調節を行う設計に対しても、膨大なキャラクタライズを行うことなく遅延計算可能である。提案モデルは、SSTAに用いられる式(2)に対しても、与えられた電源電圧などの条件に応じて、 μ_d や感度が計算できる。

3.3 電源ノイズのモデル化

電源ノイズを考慮したタイミング解析において、最大電圧降が生じたときに必ずしも最悪の遅延が発生するわけではない。電源電圧はクロックサイクル内およびクロックサイクル毎に、空間的、時間的に変化する。タイミング違反を検出するためには、ノイズの時間的な変化のみならず、クリティカルパスの空間的位置も同時に考慮しなければならない。

図6を用いて、最大電圧降下時に最悪遅延とならない例を示す。もしエリアAにクリティカルパスがあれば、サイクル#(c)のときの遅延がサイクル#(d)のときの遅延よりも大きい。しかし、クリティカルパスがエリアBにある場合は、サイクル#(c)と#(d)のどちらがタイミングに厳しいかは判断できない。ノイズ波形は入力ベクトルにより変化する。入力ベクトルとレジスタの状態の組み合わせ

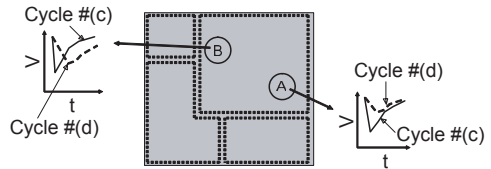


図6: 電源ノイズの空間的、時間的差異

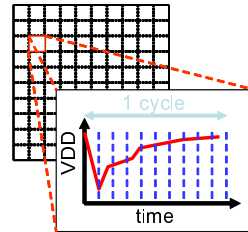


図7: 電源ノイズの空間的、時間的離散化

わせは非常に多く、その全てについて検証することは不可能である。

本問題に対して、電源ノイズの空間的、時間的情報を統計的に保持したモデルを構築し、統計的遅延解析に適用する手法を我々は提案している[10, 11]。この手法ではクリティカルパスの位置と空間的な電圧ノイズの違いを同時に考慮できるため、問題の解決が可能である。なお、統計的な予測であるため厳密な最悪ケースを求めることは出来ないが、系統だった合理的な予測が可能になると考えている。

空間的、時間的に連続で変動する電源電圧の取り扱いを容易にするため、空間的、時間的に離散化を行う(図7)。空間的離散化は、製造ばらつきと同様にグリッド上に分割して代表値(例えば平均値)を選択する。時間的離散化は、クロックサイクルをいくつかの時間領域に分割し、時間領域内の平均値を求める。異なるクロックサイクルは別サンプルとして取り扱う。サイクル間の電源電圧の違いをばらつきと考え、電源電圧の平均、分散、また空間的、時間的に異なる領域との相関係数を求める。

電源電圧ノイズは電源網により空間的に相関を持つ。電源降下は急激には回復しないため、電源ノイズは時間的相関を持つ。このため、主成分分析を用いることで、少数の確率変数を用いてコンパクトなモデルの導出が可能である。グリッド、時間領域ごとの電源電圧のばらつきは、製造ばらつきと同様の式(1)形式で表されるため、電源ノイズを製造ばらつきと統一的に取り扱うことが可能となる。

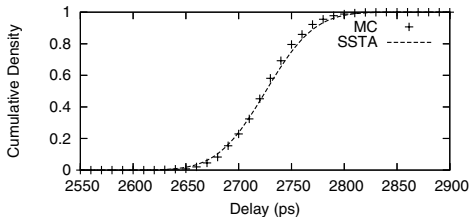


図 8: 製造ばらつきと電源ノイズを考慮した SSTA の結果例 (c6288)

3.4 解析例

90nm プロセスを想定し、1mm 角チップ上に配置された FPU(39k ゲート)の動作によって生じる電源電圧変動を求め、前節で説明した電源ノイズの統計的モデル化に用いた。空間的に 10x10 領域に分割し、クロックサイクルを 10 分割した。製造ばらつきは、2.4 節と同様に仮定した。

解析した一例を図 8 に示す [11]。空間的、時間的にほぼ連続した電源電圧波形を用いて行ったモンテカルロ解析と比較して、ほぼ同等の見積もりが得られており、提案検証技術によって精度の高い解析が実現できていることが分かる。

4 動的性能補償を考慮したタイミング解析に向けて

深刻化する製造ばらつきによる歩留まり低下を解決するため、電源電圧や基板電位を製造後に調整し、所望の性能を達成する技術が今後、一般的になると考えられる。電源電圧や基板電位を外側から離散的に与える場合、与えられた条件下で統計的タイミング解析を行うことは出来るが、そのままでは正確な遅延歩留まり予測はできない。

製造後の性能補償は、なんらかのモニタ回路やレプリカ回路の特性をもとに定められる。モニタ回路の特性にもランダム成分や空間的変動成分が含まれているため、完全にチップ間ばらつきや空間的変動成分は除去できない。一方で、モニタ回路の特性は、チップ内の製造ばらつきを予測するために有益であり、チップ毎により不確かさの小さいばらつきモデルを用いてタイミング解析や歩留まり予測が可能になる。

モニタ回路の特性と解析対象の回路特性との相関を適切に考え、製造後の特性補償を適用した後の製造ばらつきを与えるモデルの構築が重要な研究課題となる。これが出来れば、遅延歩留まりの予測はもちろん、どのようなモニタ回路やレプリカ回路をどのように配置すれば、少ないコストで遅延歩留まりが向上できるか等、チップ設計の重要指針を決める判断材料として利用が期待できる。

5 まとめ

本稿では、今後ますます深刻化する製造、環境ばらつきを考慮した統計的タイミング解析技術について議論した。現在主流となっている空間的変動を確率変数の直交化を用いてモデル化し、SSTA を行う手法を紹介した。我々が取り組んでいる電源ノイズの統計的なモデル化技術を紹介し、製造ばらつきと統一的に取り扱ったタイミング解析技術の解析例を示した。今後の研究の方向性として、製造後の性能補償技術を考慮したタイミング解析を取り上げ、その課題を述べた。

謝辞

本研究の一部は、STARC および NEDO の助成による。研究をともに推進している本学学生の新聞健一、榎並孝司、二宮進有の諸氏に感謝します。

参考文献

- [1] M. Berkelaar, “Statistical Delay Calculation, a Linear Time Method,” in *Proc. TAU*, pp.15–24, 1997.
- [2] S. Tsukiyama, M. Tanaka and M. Fukui, “A Statistical Static Timing Analysis Considering Correlations Between Delays,” in *Proc. ASP-DAC*, pp. 353–358, 2001.
- [3] H. Chang and S. Sapatnekar, “Statistical Timing Analysis under Spatial Correlations,” *IEEE Trans. CAD*, Vol. 24, No. 9, pp. 1467–1482, Sep. 2005.
- [4] J. Singh and S. Sapatnekar, “Statistical Timing Analysis with Correlated Non-Gaussian Parameters using Independent Component Analysis,” in *Proc. DAC*, pp. 155–160, 2006.
- [5] 中西甚吾, “バラツキの計測と解析技術,” システム・デザイン・フォーラム 2007, pp.15–27, 2007.
- [6] H. Masuda, S. Ohkawa, A. Kurokawa and M. Aoki, “Challenge: Variability Characterization and Modeling for 65- to 90-nm Processes,” in *Proc. CICC*, pp. 593–599, 2005.
- [7] B. Cline, K. Chopra, D. Blaauw, Y. Cao, “Analysis and Modeling of CD Variation for Statistical Static Timing,” in *Proc. ICCAD*, pp.60–66, 2006.
- [8] 二宮進有, 橋本昌宜, “空間的相関を考慮した SSTA における領域の分割数と精度,” 電子情報通信学会総合大会, A-3-1, 2007.
- [9] K. Shinkai, M. Hashimoto, A. Kurokawa, T. Onoye, “A Gate Delay Model Focusing on Current Fluctuation

Over Wide-Range of Process and Environmental Variability,” in *Proc. ICCAD*, pp.47–53, 2006.

- [10] 榎並孝司, 橋本昌宜, 尾上孝雄, “主成分分析による電源電圧変動の統計的モデル化手法,” DA シンポジウム, pp.205–210, 2006.
- [11] 榎並 孝司, 二宮 進有, 橋本 昌宜, “電源ノイズの空間的相関を考慮した統計的タイミング解析,” 回路とシステム (軽井沢) ワークショップ, 発表予定.