

短距離ブロック内配線の自己発熱 Self-heating in Short Intra-block Wires

新開 健一 橋本 昌宜 尾上 孝雄

大阪大学 情報科学研究科 情報システム工学専攻

Kenichi SHINKAI Masanori HASHIMOTO Takao ONOYE

Dept. Information Systems Engineering, Osaka University

概要

本論文では、短距離ブロック内配線における自己発熱効果がプロセススケールに伴って顕在化するかを予測する。短距離ブロック内配線は、基板に近いため優れた放熱性を持ち、自己発熱は小さいと考えられてきた。しかし、クロック分配を想定した解析を行ったところ、ブロック内配線の自己発熱がグローバル配線の場合よりも大きくなることを確認した。基板接合部温度からの配線の最大温度上昇は、14 nm プロセスにおいて 40.5°C にも達する。要因分析を行った結果、配線断面積の縮小が low- k 材料の採用や消費電力増大と同程度自己発熱を悪化させることが分かった。また、自己発熱により、信頼性低下と性能劣化が生じる。14 nm プロセスにおいて配線温度と接合部温度を等しいと考えた場合、実際の故障時間は予想より約 3 - 10 倍短くなり、信号遅延は 2.8% 悪化する。

1 背景

近年、熱問題が主要な設計問題となってきた。エレクトロマイグレーション [1,2] などに代表される信頼性低下要因やリーク電流は温度に強く依存し、温度上昇によるリーク電力増大は発熱量をさらに増加させるためである。この問題を解決するために、チップ全体の熱解析やアーキテクチャレベル [3] から物理設計レベル [4] の熱指向設計が産学双方で注目されている。

微視的視点では、グローバル配線の自己発熱問題が集中的に研究されてきた [5-11]。配線抵抗によるエネルギー消費が配線内部に熱を発生させ、それが温度上昇に繋がる現象が自己発熱効果である。配線の過熱により、(1) 配線の電気抵抗の増大による信号伝達速度の低下、(2) エレクトロマイグレーションなどによる信頼性低下、が生じる。グローバル配線での自己発熱問題は以下の理由により集中的に研究されてきた: (1) グローバル配線は基板から離れて配置されるため、発生した熱が放熱されにくい、(2) グローバル配線では通常大電流が流れるため、大量の熱が配線内で発生する。

一方、ローカル・中間層配線の自己発熱は深刻視されてこなかった。基板に近いため放熱性が良く、温度上昇

が軽微であったためである。しかし、プロセススケールアップにより、自己発熱を悪化させる以下の要因が発生する: (1) ローカルクロック周波数の超高速化 (グローバルクロックよりも非常に高速)、(2) 配線断面積の縮小による熱抵抗の増大、(3) 層間絶縁材料として low- k 材料の採用、などである。従って、短距離ブロック内配線で自己発熱効果が無視できるか、または将来的に深刻な問題を生じるか、は明らかではない。

本論文では、短距離ブロック内配線での自己発熱効果の将来的動向を予測する。短距離ブロック内配線の温度上昇を、今まで主に議論されてきたグローバル配線の温度上昇と比較する。先行研究 [11] では、自己発熱問題を警鐘するために、グローバル配線を流れる電流の極大値を仮定した。しかし、バッファ挿入された実用設計での自己発熱の影響は明確ではない。実際の回路設計の観点から信号配線の自己発熱問題を評価するために、本検討ではスイッチング回数が最大となるクロック分配網の一部を仮定する。また、グローバル配線では、過度に長い配線構造を除去するためにバッファが挿入された配線を想定する。本検討の主な成果は、グローバル配線だけでなく短距離ブロック内配線でも自己発熱問題が発生し、温度上昇はむしろブロック内配線の方が深刻であると示したことである。

本論文の構成は以下の通りである。2章で本検討の動機を説明する。予測に使用する配線、チップモデルを3章で示す。4章で温度上昇の予測結果を示す。また、温度上昇に大きな影響を与えるパラメータの要因分析を行う。さらに、温度上昇による信頼性と性能の変化について議論した後、リピータを最適に挿入したグローバル配線の場合と比較する。最後に、5章で本論文をまとめる。

2 動機

本検討が短距離ブロック内配線の自己発熱問題に注目した理由である。配線断面積縮小による熱問題悪化の簡単な例を示す。図1に示す単純な二次元チップモデルを考える。中心の長方形は銅配線を示し、上部の大きな長方形は絶縁材料、下部の長方形は Si 基板である。この例で

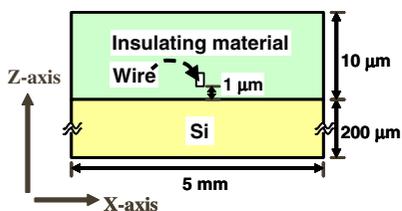


図 1: 二次元チップモデル

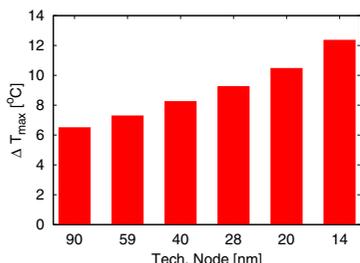


図 2: 基板接合部と配線の最大温度差 ΔT_{max} の予測結果 (二次元チップモデル)

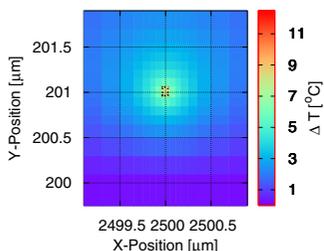


図 3: 20 nm における ΔT 分布 (二次元チップモデル)。点線で囲まれた部分は配線を表す。軸は図 1 に対応する

は断面積スケールリングの影響のみを見るために、基板-配線間の距離は $1 \mu\text{m}$ 、消費電力は $10 \mu\text{W}/\mu\text{m}$ 、絶縁材料は FSG (弗化珪酸塩ガラス) で固定とした。配線断面積は ITRS 2005 [12] に従ってスケールした (詳細は次章で説明する)。外気は 27°C とした。

図 2 に配線の最大温度上昇予測結果を示す。ここで、 ΔT は配線中央直下の基板接合部温度からの温度上昇であり、 ΔT_{max} は最大の ΔT とする。他のパラメータは変化していないので、温度上昇は配線断面積減少から生じることになる。20 nm (Tech. node: 14 nm) における ΔT 分布を図 3 に示す。この実験により、(1) 配線断面積減少により放熱性が悪化する、(2) 短距離ブロック内配線における温度上昇は配線近傍に非常に集中する、ということが分かった。

3 自己発熱問題予測に用いた配線・チップモデル

本章では自己発熱問題の将来予測に用いた配線・チップモデルを概説する。

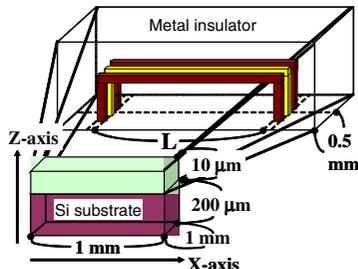


図 4: 自己発熱予測に用いた配線・チップモデル

3.1 将来プロセスのデバイスパラメータ

短距離ブロック内配線の評価に用いたパラメータセットを付録の表 1 に示す。下 3 行の要素、つまり絶縁材料、絶縁材料の熱伝導率、配線長 L 、以外は ITRS 2005 [12] に準拠している。これら 3 要素は以下の方針に従い決定した:

- 絶縁材料は ITRS の実効誘電率を満たし、熱伝導率ができるだけ高い材料を選択した。但し、Porous Silica の比誘電率と熱伝導率は空孔率に依存するので、実効誘電率から空孔率を求め、熱伝導率を求めた [13, 14]。
- 配線長 L はブロック内クロック分配を想定し求めた。 L は短距離ブロック内配線として十分に小さい。詳細は 3.2 節で説明する。

銅の電気抵抗率 ρ は、細い配線ではサイズ効果により上昇する。本現象は [14–16] で議論されており、それらで報告されている ρ は ITRS 予測と一致する。従って本検討では ITRS の ρ を用いた。また、サイズ効果による抵抗上昇の温度依存性は小さい [17] ため、バルク抵抗のみが温度に依存するとして、配線の抵抗値を計算した。

3.2 配線・チップモデル

評価に使用した配線・チップモデルを図 4 に示す。1 mm 角チップのブロック内クロック分配を想定した。本検討では非常に狭い範囲の熱拡散を解析するため、1 mm 角は正確な見積もりに十分な大きさである。上図が上部の立方体の拡大図で、3 本の配線が存在する。配線は 6 層配線の M5 層に配置されている。今回の予測では、中央配線直下の基板接合部温度からの温度上昇 ΔT を評価する。

いずれのプロセスでも、中央配線は出力抵抗が 50Ω の 16x バッファで駆動し、64x バッファ (16x インバータ + 64x インバータ) をレシーバとした。その両側の配線はシールド配線で、配線幅と同じ間隔を空けて置いた。使用するトランジスタは ITRS に基づいた予測モデル [18] を用いた。ドライバ入力周波数は ITRS のローカルクロック周波数とし、ドライバ入力の遷移時間はクロック周期の

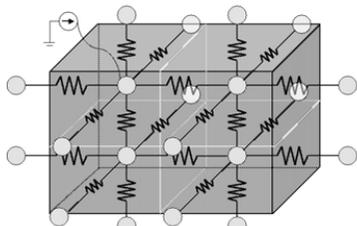


図 5: 熱拡散解析モデルの例

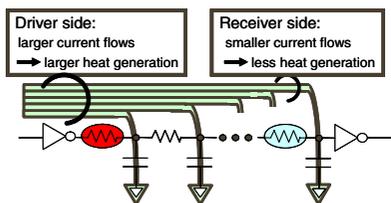


図 6: 配線の不均一な発熱

10% とした。また、配線長 L は、レーンパへの入力信号の遷移時間がクロック周期の $1/7$ 以下になる最大の長さとした。 $1/7$ は実際の設計で用いられる経験的な値である。

チップは high-performance を想定した。 ITRS によると、high-performance では製造時チップサイズは 310 mm^2 、最大消費電力は 198 W であり、将来も増加しないという予測がされている。従って、プロセスによらずパッケージ性能は一定で、放熱性が 0.64 W/mm^2 のパッケージに実装されているとした。側面は断熱 ($\theta = 1 \text{ [W/m}^2\cdot\text{K]}$)、上面/下側面はそれぞれ $\theta = 2500 \text{ [W/m}^2\cdot\text{K]}$ 、 $\theta = 7500 \text{ [W/m}^2\cdot\text{K]}$ の境界条件を仮定した。外気は 27°C とした。

3.3 熱解析手法

本検討では、熱と電気のアナロジー [7] に基づいて熱拡散方程式を解くために、有限差分的手法 [4, 19] を用いた。本解析では、まずチップを多数の直方体に分割し、各直方体の中心をノードとする。そして、隣接ノードとの間に熱抵抗を接続し、グラウンドから対応ノードに消費電力を流入する。チップが縦横 2 方向に分割されたときの解析モデルの例を図 5 に示す。求める精度に応じて、分割する直方体の数・大きさを決める。本検討では注目する配線近傍で分割を細かくした結果、ノード数 34388、熱抵抗数 88694 となった。熱解析は、Opteron 2.4GHz、メモリ 16GB を搭載した計算機上で線形回路シミュレータ [20] を用いて行った。解析に要した CPU 時間は 148 秒であった。

CMOS ゲートがスイッチングするとき、図 6 に示すようにドライバ側はレーンパ側より大量の電流が流れるため、発熱量がより大きい。よって、配線中では不均一に発熱することを考慮した解析を行った。消費電力は回路シ

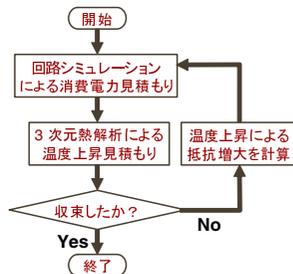


図 7: 解析フロー

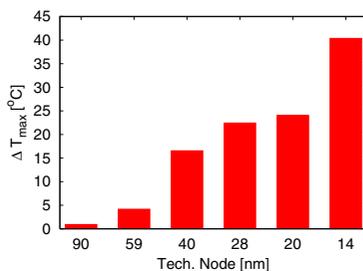


図 8: 基板接合部と配線の最大温度差 ΔT_{max} の予測結果 (短距離ブロック内配線)

ミュレーションにより求め、それを 3 次元熱解析に用いた。また、温度と配線抵抗には相互依存性が存在し、独立ではない。従って、本検討では図 7 に示す解析フローを用いて温度解析、電力解析を繰り返す、定常状態の温度を得た。今回の解析では、2 回の繰り返しでほぼ収束した。

4 予測結果

本章では予測結果について議論する。本検討の予測では、3.2 節でも触れた通り、配線中央直下の基板接合部からの温度上昇を表す ΔT を評価する。これは、配線温度が接合部温度と等しいと温度を過小評価することにより生じる、信頼性と性能の予期せぬ低下を明らかにするためである。

4.1 節、4.2 節では、短距離ブロック内配線の評価を示す。自己発熱の予測結果を 4.1 節で示し、スケーリングパラメータに関する要因解析結果を 4.2 節で述べる。4.3 節では、温度上昇が信頼性と性能に与える影響を定量的に評価する。また、4.4 節で、グローバル配線の予測結果との比較を行う。

4.1 スケーリングに伴う温度上昇

図 8 にプロセススケーリングに伴う ΔT_{max} の上昇傾向を示す。ここで、 ΔT_{max} は配線の中央直下に位置する基板接合部と配線の最大温度差である。この予測結果より、短距離ブロック内配線の自己発熱は微細化技術の進歩に従って深刻になることが分かる。 ΔT_{max} は 90 nm プロセスでは 1.02°C であり、これまで短距離ブロック内配線の自己

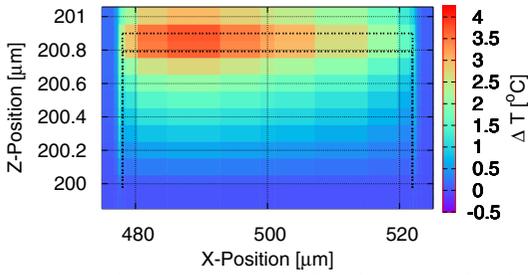


図9: 2008年における ΔT 分布(短距離ブロック内配線). 点線で囲まれた部分は配線を表す. 軸は図4に対応する

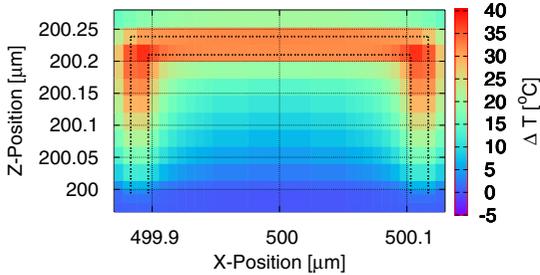


図10: 2020年における ΔT 分布(短距離ブロック内配線). 点線で囲まれた部分は配線を表す. 軸は図4に対応する

発熱を考慮してこなかったことは妥当であった. しかし, 14 nm プロセスにおいて, ΔT_{max} は 40.5°C にも達するため, 今後は信頼性, 性能の観点からも考慮が必要となる.

2008年, 2020年(Tech. node: 59 nm, 14 nm)における ΔT 分布をそれぞれ図9, 10に示す. 本検討では, 発熱する中央配線が最も温度上昇が大きいため, ΔT 分布図は中央配線における xz 平面のみに注目する. 図6で説明したように, ドライバ側ではより大きな電流が流れるため, 図9に示すようにドライバ側(図の左側)で配線の温度上昇が大きい. 図10では ΔT が対象的な分布になっているが, これは基板からの距離が配線長 L よりも長く, 温度に支配的な影響を与えているためである.

図9, 10より, 発生した熱は, ビア配線を通じてSi基板に逃げるだけでなく, 絶縁体からも拡散していることが分かる. つまり, 短距離配線では絶縁材料の放熱性が重要になる. また, 図2で例を挙げたように, 配線断面積縮小による熱抵抗の増加も温度上昇に大きな影響を与えていると考えられるため, 更なる解析を4.2節で行う.

4.2 温度上昇の要因分析

本章では, 自己発熱効果に大きな影響を与えるプロセスパラメータを示す. 調べる要因は, 以下の4つである:

- (a) 基板からの距離, (b) 絶縁材料,
- (c) 消費電力, (d) 配線断面積.

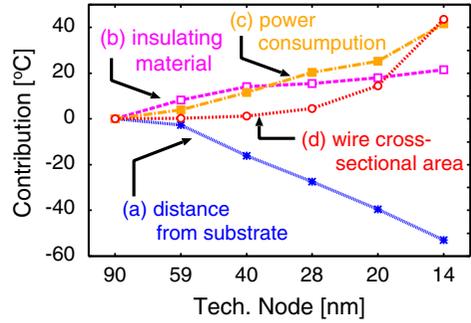


図11: ΔT_{max} の要因分析結果

ここで, 調べる対象のパラメータ以外は, 14 nm プロセスの場合と等しいとした.

図11に ΔT_{max} の要因分析結果を示す. 縦軸は式(1)で定義される, 温度変化への貢献度(Contribution)である.

$$\text{Contribution} [^{\circ}\text{C}] = \Delta T_{max} - \Delta T_{max}(90\text{nm}). \quad (1)$$

スケーリングに伴って, ΔT_{max} は (a) 基板からの距離により減少し, (b) 絶縁材料, (c) 消費電力, (d) 配線断面積により増大することが分かる. 全要素を同時に考慮すると温度が上昇する効果の方が大きく, 4.1節で示した温度上昇になる. 配線長 L でも同様の実験を行ったが, 他パラメータに比べて影響が小さかったのでここでは省略した.

興味深い結果として, 配線断面積は絶縁材料や消費電力と同程度に自己発熱に影響を与えている. 文献[11, 14]では将来の絶縁材料の熱伝導が悪いことは議論されているが, 本検討で注目した配線断面積縮小の影響には言及していない. 小さい配線断面形状は, 電気伝導性だけでなく熱伝導性(基板への熱拡散)も低下させる.

4.3 温度上昇による影響

本節では信頼性と性能の劣化について議論する. 配線の自己発熱を無視し, 金属配線温度 T_m が基板接合部温度 T_{ref} と同じだと仮定した場合の予期せぬ信頼性, 性能の低下を定量的に評価する.

4.3.1 信頼性

EM(エレクトロマイグレーション)は配線不良の主要要因と考えられる[1]. 金属配線のEM耐用信頼性は式(2)に示すBlackの等式でモデル化される:

$$TTF = A^* j^{-n} \exp\left(\frac{Q}{k_B T_m}\right). \quad (2)$$

ここで, TTF は故障時間(普通, 0.1%累積故障率における時間), A^* は配線の形状及び構造に依存する定数, j はDCまたは平均電流密度[A/m²], n はモデルパラメータで, 通常動作環境では2である. 活性化エネルギー Q は1 μm 以下の細い銅配線においてはsurface transportに

より支配され [21], 約 $0.5eV$ である [22]. k_B はボルツマン定数, T_m は配線の絶対温度 [K] である.

ここでは, ブロック内配線の自己発熱を無視し, 配線温度 T_m [°C] をチップの基板接合部温度 T_{ref} [°C] とおいた場合, TTF の見積もりがどの程度楽観的になるかを評価する. T_{ref} で見積もった TTF は, 実際の TTF の $\frac{TTF_{T_{ref}}}{TTF_{T_m}}$ 倍大きい:

$$\frac{TTF_{T_{ref}}}{TTF_{T_m}} = \frac{A^* \cdot j^{-2} \cdot \exp\left(\frac{Q}{(273+T_{ref})k_B}\right)}{A^* \cdot j^{-2} \cdot \exp\left(\frac{Q}{(273+T_m)k_B}\right)} \quad (3)$$

$$= \exp\left(\frac{Q}{k_B} \cdot \frac{T_m - T_{ref}}{(273 + T_m)(273 + T_{ref})}\right). \quad (4)$$

簡単のために, $Q = 0.5eV$, 配線温度は一律に $T_m = T_{ref} + 40.5$ (40.5 は 4.1 節の 14nm プロセスでの ΔT_{max}) とする. 通常の動作範囲を $0^\circ C - 120^\circ C$ とすると, $3.37(@T_{ref} = 120^\circ C) \leq \frac{TTF_{T_{ref}}}{TTF_{T_m}} \leq 9.99(@T_{ref} = 0^\circ C)$ と求められる. 従って, T_m を T_{ref} とおいた場合, 約 3 - 10 倍短い TTF となり, 予期せぬ信頼性低下に繋がる.

4.3.2 性能

ドライバ, 配線遅延は以下の式で表される [23]:
 $T_{50\%} = R_{tr}(0.693C_{int} + 0.693C_L) + R_{int}(0.377C_{int} + 0.693C_L)$. (5)

ここで, R_{tr} はドライバ出力抵抗, R_{int} は配線抵抗, C_{int} は配線容量, C_L は次段入力容量である. 自己発熱による性能変化のみを評価するために, Si 接合部温度は正しく見積もられていると仮定すると, R_{tr} は固定値となる. また容量は温度に依存しない. 従って, 自己発熱による遅延見積もり誤差 $\Delta T_{50\%}$ は以下のように計算される:

$$\Delta T_{50\%} = (R_{int}(T_m) - R_{int}(T_{ref}))(0.377C_{int} + 0.693C_L). \quad (6)$$

14 nm プロセスでは, $T_{50\%}$ は 21.1 fs, $\Delta T_{50\%}$ は 0.589 fs となり, 性能劣化は 2.8% である. 14 nm プロセスでのクロック周期は 13.7 ps であるため, $\Delta T_{50\%}$ は無視できない.

4.4 グローバル配線における温度上昇との比較

本節ではグローバル配線の自己発熱効果を確認し, 短距離ブロック内配線の場合と比較する. 実験に使用する配線・チップモデルは図 4 と同じ構成である. 配線は 11 層配線の M11 層に配置した. 評価に用いるパラメータセットを付録の表 2 に示す. 下 2 要素, つまりバッファサイズ, 配線長 L 以外は ITRS 2005 に準拠している. これら 2 要素は伝播遅延を最小化するリピータ挿入の最適解とする [24, 25]. 短距離ブロック内配線の場合と比較して, L は非常に大きい. 配線幅は「最小グローバル配線ピッチ」の $1/2$ とした. ゲート入力抵抗, ゲート出力容量は ITRS 2005 から求めた.

大きな配線遅延により, グローバルクロックの高速化は困難であるため, グローバルクロック周波数はローカ

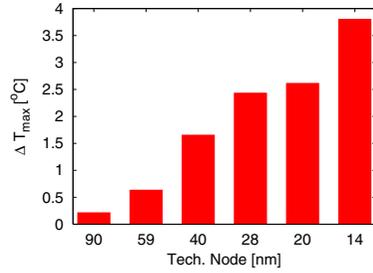


図 12: 基板接合部と配線の最大温度差 ΔT_{max} の予測結果 (グローバル配線)

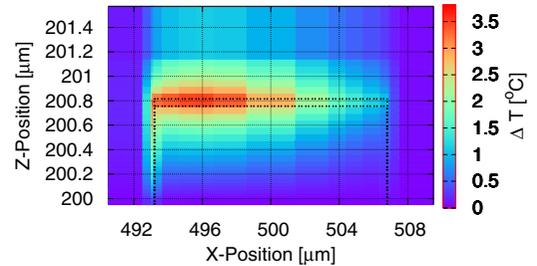


図 13: 2020 年における ΔT 分布 (グローバル配線). 点線で囲まれた部分は配線を表す. 軸は図 4 に対応する

ルクロックの $1/4$ と仮定した. 温度解析は線型回路で行われるため, クロックが倍になると温度上昇も倍になる. 他のパラメータは 3.2 節の場合と同様である.

図 12 に ΔT_{max} の傾向を, 図 13 に 2020 年における ΔT 分布を示す. これらより, 伝播遅延を最小化する設計では, グローバル配線の自己発熱効果はとても微小であることが分かる. 一方, 4.1 節で示したように, 短距離ブロック内配線の温度は急激に上昇していく. 従って, 今後はグローバル配線よりもローカル配線の自己発熱により注意を払うべきである.

5 結論

プロセス技術の進歩に伴う短距離ブロック内配線での自己発熱効果を予測した. 基板接合部温度からの配線の最大温度上昇は, 14 nm プロセスでは $40.5^\circ C$ にも達する. 配線温度を接合部温度と等しいとした場合, 信頼性低下や性能劣化の過小評価を招く. また, 配線断面は絶縁材料や消費電力と同程度自己発熱に大きな影響を与えることを示した. 将来的に, 短距離ブロック内配線は, 最適なバッファ挿入を行ったグローバル配線より温度上昇が著しい. 短距離ブロック内配線の自己発熱は, 今後配線抵抗増大や信頼性低下を招く恐れがあり, 注意する必要がある.

6 謝辞

本研究の一部は NEDO の助成による.

付録

表 1: ローカル配線解析におけるパラメータセット

	Year (Tech. node [nm])					
	2005 (90)	2008 (59)	2011 (40)	2014 (28)	2017 (20)	2020 (14)
M1 層 A/R	1.7	1.8	1.9	1.9	2.0	2.0
中間配線層 (Wire) A/R	1.7	1.8	1.9	1.9	2.0	2.0
中間配線層 (Via) A/R	1.5	1.6	1.6	1.7	1.8	1.8
電源電圧 V_{dd} [V]	1.1	1.0	1.0	0.9	0.7	0.7
ローカルクロック 周波数 [GHz]	5.204	10.972	17.658	28.356	45.535	73.122
反転層厚 [Å]	7.3	2.9	2.5	4	4	4
銅配線電気抵抗率 ρ [$\mu\Omega\text{-cm}$]	3.07	3.65	4.3	5.2	6.33	8.19
実効誘電率	3.1	2.7	2.5	2.4	1.9	1.6
絶縁材料	FSG	SiOC	Porous Silica			
熱伝導率 [W/m-K]	0.89	0.39	0.231	0.207	0.162	0.115
配線長 L [μm]	132	44.7	16.7	7.96	3.49	0.21

表 2: グローバル配線解析におけるパラメータセット

	Year (Tech. node [nm])					
	2005 (90)	2008 (59)	2011 (40)	2014 (28)	2017 (20)	2020 (14)
最小グローバル 配線ピッチ [nm]	300	177	120	84	60	42
グローバル配線層 (Wire) A/R	2.2	2.3	2.4	2.5	2.6	2.8
グローバル配線層 (Via) A/R	2	2.1	2.2	2.3	2.4	2.5
銅配線電気抵抗率 ρ [$\mu\Omega\text{-cm}$]	2.53	2.87	3.22	3.73	4.39	5.38
飽和電流 $I_{d,sat}$ (NMOS) [$\mu\text{A}/\mu\text{m}$]	1020	1570	2490	2290	2533	2981
飽和電流 $I_{d,sat}$ (PMOS) [$\mu\text{A}/\mu\text{m}$]	408	628	996	916	1013.2	1192.4
ゲート入力容量 $C_{g,total}$ [fF/ μm]	0.813	0.847	0.859	0.542	0.487	0.362
バッファアサイズ	7.19x	4.43x	3.29x	3.87x	2.91x	2.76x
配線長 L [μm]	318.26	150.32	80.691	42.381	25.079	13.842

参考文献

- [1] James R. Black, "Electromigration – A Brief Survey and Some Recent Results," *IEEE Transactions on Electron Devices*, vol. ED-16, no. 4, pp. 338 – 347, Apr. 1969.
- [2] Kaustav Banerjee, Massoud Pedram, and Amir H. Ajami, "Analysis and optimization of thermal issues in high-performance VLSI," *Proc. ISPD*, pp. 230 – 237, 2001.
- [3] Kevin Skadron, Mircea R. Stan, Wei Huang, Sivakumar Velusamy, Karthik Sankaranarayanan, and David Tarjan, "Temperature-aware computer systems: Opportunities and challenges," *IEEE Micro*, vol. 23, no. 6, pp. 52 – 61, Nov. – Dec. 2003.
- [4] Yi-Kan Cheng, Ching-Han Tsai, Chin-Chi Teng, and Sung-Mo (Steve) Kang, "Electrothermal Analysis of VLSI Systems," Kluwer Academic Publishers, Inc., 2000.
- [5] Amir H. Ajami, Kaustav Banerjee, and Massoud Pedram, "Modeling and analysis of nonuniform substrate temperature effects on global ULSI interconnects," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 24, no. 6, pp. 849 – 861, Jun. 2005.
- [6] Sungjun Im, Kaustav Banerjee, and Kenneth E. Goodson, "Modeling and Analysis of Via Hot Spots and Implications for ULSI Interconnect Reliability," *Proc. IRPS*, pp. 336 – 345, Apr. 2002.
- [7] Ting-Yen Chiang, Kaustav Banerjee, and Krishna C. Saraswat, "Compact Modeling and SPICE-Based Simulation for Electrothermal Analysis of Multilevel ULSI Interconnects," *Proc. ICCAD*, pp. 165 – 172, 2001.

- [8] Ting-Yen Chiang, Kaustav Banerjee, and Krishna C. Saraswat, "Effect of Via Separation and Low-k Dielectric Materials on the Thermal Characteristics of Cu Interconnects," *IEDM*, pp. 261 – 264, Dec. 2000.
- [9] Kaustav Banerjee, Amit Mehrotra, Alberto Sangiovanni-Vincentelli, and Chenming Hu, "On Thermal Effects in Deep Sub-Micron VLSI Interconnects," *Proc. DAC*, pp. 885 – 891, Jun. 1999.
- [10] Sven Rzepka, Kaustav Banerjee, Ekkenhard Meusel, and Chenming Hu, "Characterization of self-heating in advanced VLSI interconnectlines based on thermal finite element simulation," *IEEE Transactions on Components, Packaging, and Manufacturing Technology*, Part A, vol. 21, no. 3, pp. 406 – 411, Sep. 1998.
- [11] Kaustav Banerjee and Amit Mehrotra, "Global (interconnect) warming," *IEEE Circuits and Devices Magazine*, vol. 17, no. 5, pp. 16 – 32, Sep. 2001.
- [12] ITRS 2005, <http://www.itrs.net/>
- [13] Bing-Yue Tsui, Chen-Chi Yang, and Kuo-Lung Fang, "Anisotropic Thermal Conductivity of Nanoporous Silica Film," *IEEE Transactions on Electron Devices*, pp. 20 – 27, 2004.
- [14] Sungjun Im, Navin Srivastava, Kaustav Banerjee, and Kenneth E. Goodson, "Scaling analysis of multilevel interconnect temperatures for high-performance ICs," *IEEE Transactions on Electron Devices*, vol. 52, no. 12, pp. 2710 – 2719, Dec. 2005.
- [15] Werner Steinghögl, Günther Schindler, Gernot Steinlesberger, and Manfred Engelhardt, "Size-dependent resistivity of metallic wires in the mesoscopic range," *Phys. Rev.*, vol. 66, no. 7, pp. 075414-1 – 075414-4, Aug. 2002.
- [16] W. Steinghögl, G. Schindler, G. Steinlesberger, M. Traving, and M. Engelhardt, "Comprehensive study of the resistivity of copper wires with lateral dimensions of 100 nm and smaller," *Journal of Applied Physics*, vol. 97, no. 2, pp. 023706-1 – 023706-7.
- [17] Werner Steinghögl, Günther Schindler, Gernot Steinlesberger, and Manfred Engelhardt, "Scaling Laws for the Resistivity Increase of sub-100 nm Interconnects," *Proc. SISPAD*, pp. 27 – 30, Sep. 2003.
- [18] Shinichiro Uemura, Akira Tsuchiya, and Hidetoshi Onodera, "A Predictive Transistor Model based on ITRS," <http://www.tamaru.kuee.kyoto-u.ac.jp/~tsuchiya/tr-model.html.en>.
- [19] Ching-Han Tsai and Sung-Mo (Steve) Kang, "Cell-level placement for improving substrate thermal distribution," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 19, no. 2, pp. 253 – 266, Feb. 2000.
- [20] (株) 数理システム, "LiCRSIM 線形回路解析シミュレータ 操作説明書."
- [21] C.-K. Hu, R. Rosenberg, and K.Y. Lee, "Electromigration path in Cu thin-film lines," *Applied Phys. Lett.*, vol. 74, no. 20, pp. 2945 – 2947, May 1999.
- [22] B.H. Jo and R.W. Vook, "In-situ ultra-high vacuum studies of electromigration in copper films," *Thin Solid Films*, vol. 262, no. 1 – 2, pp. 129 – 134, 1995.
- [23] Takayasu Sakurai, "Closed-form expressions for interconnection delay, coupling, and crosstalk in VLSIs," *IEEE Transactions on Electron Devices*, vol. 40, no. 1, pp. 118 – 124, Jan. 1993.
- [24] Ralph H.J.M. Otten and Robert K. Brayton, "Planning for performance," *Proc. DAC*, pp. 122 – 127, 1998.
- [25] H. B. Bakoglu, "Circuits, interconnections, and packaging for VLSI," Addison-Wesley Publishing Company, 1990.