

# シャントコンダクタンスを挿入したオンチップ伝送線路のアイパターン評価

Eye-pattern Evaluation of On-chip Interconnects with Intentional Shunt Conductance

Siriporn Jangsombatsiri<sup>1</sup> 橋本昌宜<sup>1</sup> 土谷亮<sup>2</sup> Haikun Zhu<sup>3</sup> Chung-Kuan Cheng<sup>3</sup>

Siriporn Jangsombatsiri<sup>1</sup> Masanori Hashimoto<sup>1</sup> Akira Tsuchiya<sup>2</sup> Haikun Zhu<sup>3</sup> Chung-Kuan Cheng<sup>3</sup>

大阪大学<sup>1</sup>, 京都大学<sup>2</sup>, University of California, San Diego<sup>3</sup>  
Osaka University<sup>1</sup>, Kyoto University<sup>2</sup>, University of California, San Diego<sup>3</sup>

## 1. 背景・目的

近年、オンチップ高速信号伝送技術が盛んに研究されているが、オンチップ配線の高い抵抗が信号の減衰と波形歪みを生むため、オンチップ伝送線路の性能が通信の高速化を制約する一要因となっている。配線特性の周波数依存特性に起因する波形ひずみを低減するため、無歪み配線技術が提案されている[1]。本研究では、意図的なシャントコンダクタンスの挿入による無歪み配線技術の有効性を、デバイスのアイパターン評価で検証する。

## 2. 無歪み配線技術

一般にデジタル信号に幅広い周波数成分が含まれており、波の伝搬速度、減衰特性が周波数ごとに異なるため、波形歪みが生じる。特に高周波数成分は非常に減衰しやすい。減衰が発生すると信号の区別が難しくなり、伝送速度の上昇を妨げる。

無歪み配線技術[1]は意図的なコンダクタンスの挿入により波形歪みを除去する。一般に配線は RLGC の伝送線路モデルで表現される。RLGC はそれぞれ単位長さあたりの抵抗、インダクタンス、コンダクタンス、容量である。オンチップ配線では SiO<sub>2</sub> の特性により  $G=0$  とみなせる。

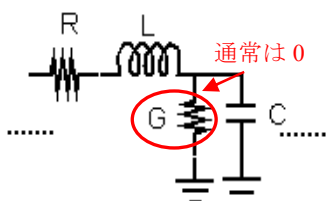


図1 オンチップ配線モデル化

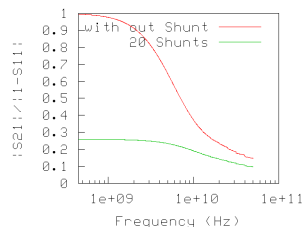


図2 減衰と周波数の関係

無歪み配線技術[1]では  $G=RC/L$  の無歪み条件を満たすシャントコンダクタンスを図1のように挿入する。信号の伝播定数、 $\gamma (= \alpha + j\beta)$  が周波数に非依存となり、無歪み信号伝送が実現できる。図2は測定に用いたシングルエンド線路の減衰特性である。現実には RL は周波数に依存するため、完全な無歪みは実現できない。

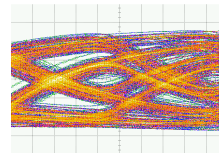
## 3. 試作チップの実測によるアイパターン評価

シャントコンダクタンスの有無によるアイパターンの違いを評価するため試作チップを設計し、測定を行った。シングルエンド、差動マイクロストリップ線路の2種類の配線に PRBS 信号発生器、オシロスコープをオンウェハプローブを通じて接続し、アイパターンを測定した。

### 3.1 シングルエンドマイクロストリップ線路

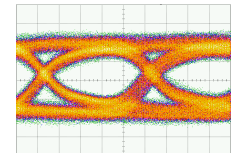
配線は幅  $1\mu\text{m}$  の信号配線を M2 層に、幅  $8\mu\text{m}$  のグラウンド配線を M1 層に配置したマイクロストリップ構造で、

配線長は  $4\text{mm}$  である。シャントコンダクタンスはポリシリコンで実現し、等間隔に 20 個挿入した。挿入後のコンダクタンスは  $14.0\text{m mho}$  で、無歪み条件の  $82\text{m mho}$  よりも小さい。振幅  $0.5\text{V}$ 、 $20\text{Gbps}$  の信号を入力したときの測定結果を図3に示す。シャントが挿入されていない配線ではアイがつぶれている一方で、シャントを挿入した配線では振幅が小さいもののアイが開いており、無歪み配線の優位性が明らかになった。



シャントなし

縦軸: Voltage 50mV/div  
横軸: Time 10ps/div



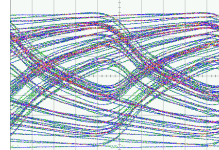
シャントあり

縦軸: Voltage 4mV/div  
横軸: Time 10ps/div

図3:入力信号 20Gbps 時のアイパターン(シングルエンド)

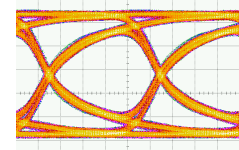
### 3.2 差動マイクロストリップ線路

幅  $3\mu\text{m}$  の信号配線を間隔  $5.2\mu\text{m}$  で M3 層に配置し、幅  $30\mu\text{m}$  のグラウンド配線を M1 層に配置した。配線長は  $12\text{mm}$  である。シャントコンダクタンスは、信号配線間に等間隔に 20 個挿入した。挿入後のコンダクタンスは  $10.5\text{m mho}$  で、無歪み条件の  $55\text{m mho}$  よりも小さい。差動振幅  $1.0\text{V}$ 、 $10\text{Gbps}$  の信号を入力したときの結果を図4に示す。  $12\text{mm}$  という長い配線にもかかわらずシャントコンダクタンスを挿入した配線ではアイが開いており、無歪み配線が実デバイスでも有効であることが分かった。



シャントなし

縦軸: Voltage 60mV/div  
横軸: Time 20ps/div



シャントあり

縦軸: Voltage 60mV/div  
横軸: Time 20ps/div

図4:入力信号 10Gbps 時のアイパターン(差動)

## 4. 謝辞

本研究の一部は NEDO の助成による。本測定は東工大益先生、岡田先生、木村氏の御支援による。

## 5. 参考文献

[1] H.chen, R.Shi, C.Cheng and D.M.Harris, "Surfliner: Adistortionless Electrical Signaling Scheme for Speed of Light On-Chip Communications", in Proc. ICCD, pp.497-502, 2005