

低電圧回路向け基板電位制御レイアウト方式の面積効率評価

Area Efficiency Evaluation of Body-biasing Layout Styles for Low Voltage Circuits

濱本浩一 橋本昌宜 密山幸男 尾上孝雄
Koichi Hamamoto Masanori Hashimoto Yukio Mitsuyama Takao Onoye

大阪大学 情報科学研究科 情報システム工学専攻
Dept. Information Systems Engineering, Osaka University

1 はじめに

半導体の製造プロセスの微細化が進むにつれ、製造ばらつきの影響が大きくなっており、今後ますます大きくなると予想されている。製造ばらつき動作速度への影響回避や、動作速度・リーク電流を可変にする目的で、基板電位制御が注目されている。これまで、基板電位を順方向に制御するとラッチアップが起こると懸念されていたが、1V以下の低電圧ではラッチアップの危険性は低いと報告されている [1]。これまでラッチアップ防止のために密に基板電位タップが必要であったが、低電圧動作回路を考える場合、基板電位タップの配置に自由度が生まれる可能性がある。

本稿では基板電位制御のための効率的なレイアウト方式を明らかにすることを目的とし、レイアウト面積効率を評価した結果を報告する。

2 評価するセル配置手法

基板電位制御の方法として、次の2つの手法を評価する。

- 方式1：各セルごとに基板電位制御を行う（図1）
- 方式2：一定間隔毎に縦方向の基板電位制御セルを配置する（図2）

方式1は基板電位が密に固定されており、安定して動作し、性能の予測性も高いと考えられる。方式2は基板電位の固定度が下がるものの、次に考察するように、方式1よりも小面積で基板電位制御が実現できる。

3 評価結果

90nm CMOS プロセスのセル高さ9配線トラックのスタンダードセルライブラリを用いて評価を進める。方式1の実現のため、セルレイアウトを改造したところ、11配線トラックが必要であった（図1）。実験には624セルの回路を用いた。方式2について基板電位の固定間隔と面積の関係を、クロック設計や回路修正を考え、回路のセル面積率に制約を課して調べる。ここで、セル面積率とは（セル部分の面積）/（回路の面積）である。なお、基板電位制御セルの面積はセル部分の面積・回路の面積には含まない。

セル面積率 < 0.50, 0.85 の条件の下で、同じセル面積率で基板電位制御を行わない場合の回路面積に比べてどの程度増加するかを調べた結果を図3に示す。回路面積を（回路面積）=（回路の幅）×（回路の高さ）-（基板電位制御セルの面積）で求め、セル面積率を計算してグラフを作成した。いくつかの条件で実際にレイアウト設計を行い、配置配線が正常に行えることを確認している。固定間隔が $10\mu\text{m}$ から始まっているのは、ライブラリ内の

最大セル幅が $10\mu\text{m}$ 弱であったためである。基板電位固定間隔が $10\mu\text{m}$ のとき、面積増加はセル面積率 0.85, 0.5 のいずれでも、15%程度、 $40\mu\text{m}$ のときは8%程度で、セル面積率にはほとんど依存しないことが分かった。

次に方式1と方式2の面積効率を比較する。方式1のセルの高さは先述の通り、通常のセル部分9配線トラック+基板電位制御用に2配線トラックの合計11配線トラックである。このため、セル面積率に関わらず、通常のセルの約1.22倍の面積となる。そのため基板電位固定間隔によらず、方式2のほうが方式1より小面積になることがわかる。

4 まとめ

方式2は方式1に比べ小面積である一方、基板電位固定の間隔が広がると基板電位の制御性において方式1より劣る可能性がある。今後、現在試作中のチップで、基板電位の固定間隔と基板電位の制御性の関係を測定する予定である。

謝辞

本研究の一部はNEDOの助成による。

参考文献

[1] 古澤賢治, 基板電圧を制御するCMOS回路の解析と応用, 京大修士論文, 2004

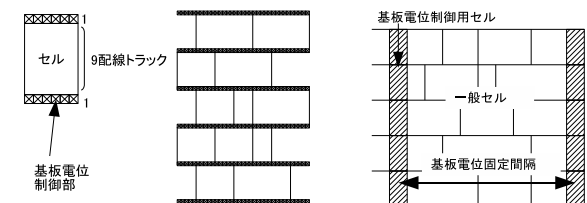


図1 方式1のセル配置 図2 方式2のセル配置

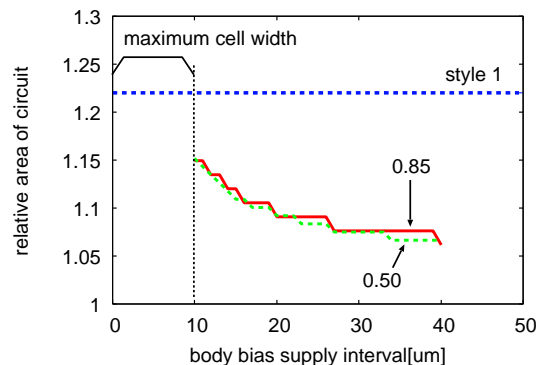


図3 セル面積率を考慮した基板電位固定間隔と面積効率