

電流変動に着目した広範囲な製造・環境ばらつき対応ゲート遅延モデル A Gate Delay Model Focusing on Current Fluctuation over Wide-Range of Process and Environmental Variability

新開 健一†

橋本 昌宜†

黒川 敦‡

尾上 孝雄†

†大阪大学 情報科学研究科

‡(株)半導体理工学研究センター

Ken'ichi SHINKAI†

Masanori HASHIMOTO†

Atsushi KUROKAWA‡

Takao ONOYE†

†Osaka University

‡Semiconductor Technology Academic Research Center (STARC)

概要

本稿では広範囲な製造・環境ばらつきに対応したゲート遅延モデルを提案する。提案モデルは電流変動が遅延に与える影響を出力負荷の置換で表現する。低コストなDC解析により構築される電流モデルを用いることで、ばらつきがない場合の遅延計算式やテーブルをそのまま用いて大きなばらつきに対応できる。また、提案モデルは統計的タイミング解析、従来のコーナーベースタイミング解析の両方で使用可能である。90 nm プロセスを想定した実験結果から、提案モデルによりチャネル長、閾値電圧、電源電圧、温度のばらつきに対してゲート遅延が正確に見積もられることを明らかにした。また、RC負荷、ゆるやかな入力遷移波形にも適用できることを確認した。

1 序論

製造ばらつきの深刻化 [1] により、回路遅延を統計的に見積もる SSTA (Statistical Static Timing Analysis) が盛んに研究されている [2-5]。SSTA は、遅延を統計量 (確率分布) として扱うことで現実的なタイミング検証結果が期待できるが、実際の製造ラインでのばらつき情報をいかに取得し、タイミング解析に反映させるか等、実用上の問題が多く残されている。一方、消費電力の増大や電源電圧の低下により、電源ノイズによる遅延変動を考慮する必要性が高まっている [6, 7]。低電力デバイスの増加と共に、DVS (Dynamic Voltage Scaling) と可変 V_{th} 設計が SoC 設計フローに組み込まれてきている。DVS は充放電電力とリーク電力の削減に効果を発揮し、基板バイアスによる可変 V_{th} は遅延とリーク電力のトレードオフを改善するために用いられる。しかし、各動作条件毎に遅延を求めておく必要がある従来のゲート遅延モデルでは、キャラクタライズコストが破綻してしまう。

以上の理由により、製造・環境ばらつきが取扱えるゲート遅延モデルが強く要求されている。単純にテーブル参照モデルでパラメータ数を増やす場合、キャラクタライズコストが指数関数的に増大するので現実的ではない。微小なばらつきについては、ばらつき要素について一次のテイラー展開を行った、式 (1) に示す感度法が有効である。

$$d = d_0 + \sum_{\forall p_i} \left[\frac{\partial f}{\partial p_i} \right]_0 \Delta p_i \quad (1)$$

d_0 は遅延 d の標準値、 p_i は i 番目のばらつき要素、 $\left[\frac{\partial f}{\partial p_i} \right]_0$

は標準状態における要素 p_i の感度 (遅延変化率)、 Δp_i は p_i の標準値からのずれを表す。感度法は望ましい統計的特性を持ち [2]、同一の取扱いで各ばらつき要素に対処することが可能であるため、SSTA で広く用いられている [2, 3, 8]。しかし、遅延はばらつき要素の変化に対して強い非線型性を持つため、感度法は本質的に大きなばらつきを許容できない。また、感度は出力負荷と入力信号波形に依存するので、追加キャラクタライズのために計算量の多い過渡解析を多数要する。さらに式 (1) で用いる標準状態で求めた感度は実際の動作環境の感度と大きく異なることがある。例えば、チップ中央部では平均電源電圧が降下するため標準状態が異なる。

本研究では広範囲の製造・環境ばらつきに対応したゲート遅延モデルを提案する。遅延を直接的に表すのではなく電流変動に着目するのが特徴である。ゲート遅延は出力負荷の充放電時間であるため、製造・環境ばらつきに起因する電流変動を出力負荷に変換し遅延を求める。

以下に提案モデルの利点を簡単に述べる: (1) 広い適用範囲を持ち、ばらつき対応 SSTA だけでなく DVS や可変 V_{th} 設計にも有用である。動作環境が標準状態から変化した場合の感度計算にも使用できる。(2) キャラクタライズに時間のかかる過渡解析を追加で行う必要がない。電流モデル化に必要な追加キャラクタライズは過渡解析より高速・低コストな DC 解析のみである。(3) 前処理として出力負荷変換を行うことにより既存のタイミング解析ツールでもばらつき対応のタイミング解析が可能となる。例えば入力遷移時間・負荷の 2 次元テーブル参照モデルを用いる場合、遅延計算は以下のように行われる:

事前準備: ばらつきのない標準状態における入力遷移時間・負荷の参照テーブル、提案電流予測モデル

入力: 入力遷移時間、出力負荷、ばらつき要素の値

Step 1: 電流予測式よりばらつきを電流変動に変換する

Step 2: 電流変動に基づき出力負荷を置換する

Step 3: 置換した出力負荷で参照テーブルより遅延を得る

本稿の構成は以下の通りである。2 章では電流変動を出力負荷に変換する提案モデルの基本概念を説明する。3 章では提案モデルを RC 負荷、ゆるやかな入力遷移波形に適用する。実験結果からの精度の確認や、従来の感度法との比較を 4 章で行う。最後に、5 章で本稿をまとめる。

2 提案モデルの基本概念

遅延を直接モデル化するのはではなく、電流変動をモデル化するのが提案ゲート遅延モデルの特徴である。CMOS 論理ゲートの遅延は出力負荷の充放電に必要な時間であり、チャンネル長や閾値電圧等のばらつきによる充放電電流の変化によってゲート遅延が変動する点に注目している。

2.1 遅延, 電流とばらつきの関係

まずゲート遅延, 充放電電流, ばらつき要素の関係について述べる。MOSFET の飽和電流 I_{dsat} は α -電流則 MOSFET モデルにより以下のように記述される [9]。

$$I_{dsat} = k \frac{\mu \epsilon_{ox} W}{t_{ox} L} (V_{gs} - V_{th})^\alpha \quad (2)$$

μ は実効移動度, ϵ_{ox} は酸化膜誘電率, t_{ox} はゲート酸化膜厚, W はチャンネル幅, L はチャンネル長, V_{th} は閾値電圧を表す。 α はキャリア速度飽和効果係数を表し, 近年のプロセスでは 1 に近い。 k はその他の係数を表す。 $V_{gs} = V_{dd}$ のとき, 式 (2) より I_{dsat} は V_{dd}, V_{th} の一次関数であり, W, μ に正比例し, L と t_{ox} に反比例する。

90 nm プロセスでの電流変動例を図 1 で確認する。 dV_{th} は他ばらつき要素の影響を除いた V_{th} オフセットである。 $V_{gs} = V_{ds} = V_{dd}$ での飽和電流 (以下, I_{step} と書く) は V_{dd}, V_{th} の一次関数であり, 温度 T に正比例し, L にほぼ反比例することが確認できる。この関係から, 電流変動は $1/L, V_{dd}, dV_{th}, T$ の簡単な式でモデル化が可能と予想される。ゲート遅延は電流に反比例する [10] ため, 上の議論からゲート遅延は $V_{dd} - V_{th}$ に反比例し, 線型近似である感度法は V_{dd}, V_{th} の大きなばらつきには対応できない。

2.2 電流変動の出力負荷への変換

提案モデルは, 変換前後で等しい遅延となるように, 電流変動を負荷に変換するため, 遅延は標準時の遅延モデルで計算できる。図 2 に示す, 出力負荷 C_{Load} のインバータに立上り入力力が与えられた場合を例に説明する。立上りゲート遅延は NMOS のドレイン電流 I_d に依存し, 放電する全電荷 Q は以下のように表される。

$$Q = CV_{dd}. \quad (3)$$

V_{dd} は電源電圧, C は放電する全容量である。

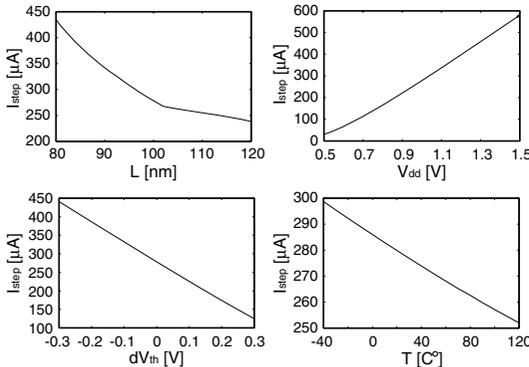


図 1: 90 nm プロセスでの飽和電流 I_{step} 変動例

一般的に, ばらつきによって I_d が 2 倍になると, 遅延は半分になる。出力負荷が 1/2 になってもまた, 遅延は半分になる。つまり, ゲート遅延を一定に保ったまま, 電流変動を出力負荷に変換可能であると言える。従って, 図 3 に示すように, 変換前後で遅延が等しくなるようにばらつきによる I_d の変動 ΔI_d を C^{new} に変換する。これは, 電源電圧変動の際に Q が変化することを考慮して, 以下のように表される。

$$(I_d + \Delta I_d) : I_d = Q : Q^{new} \quad (4)$$

$$= C(V_{dd} + \Delta V_{dd}) : C^{new} V_{dd} \quad (5)$$

$$\Rightarrow Delay(I_d + \Delta I_d, Q) = Delay(I_d, Q^{new}) \quad (6)$$

$$\therefore C^{new} = \frac{I_d}{I_d + \Delta I_d} \frac{V_{dd} + \Delta V_{dd}}{V_{dd}} C \quad (7)$$

ここでは, ドレイン電流が I_d , 放電電荷が Q の場合のゲート遅延を $Delay(I_d, Q)$ と表している。 V_{dd} は電源電圧, C は充放電容量, Δ はばらつきを表し, new は標準状態での変換後の値を示す。また逆に, 立下り入力力が与えられた場合の立下りゲート遅延においては, 上記の議論で I_d を PMOS のドレイン電流, Q を充電する全電荷と読み替えると, 同様な関係が成立する。

変換を実現するために 2 つの技術を必要とする: (1) 電流見積もり, (2) 寄生容量見積もりである。(2) はトランジスタレベルのタイミング解析でも必要とされ [11], 新規課題ではない。従って本研究では容量見積もりの議論は行わない。(1) に関して, 入力信号がステップの場合, 式 (7) 中の I_d として, 前述の I_{step} を用いるのが適当である。飽和領域で MOS は定電流源のように働くためである。しかし実際の入力信号はある程度の遷移時間を持っているため, ゆるやかな入力遷移に対する電流モデル化を 3.2 節で述べる。

文献 [7] では電源・グラウンドノイズへの対処法として, ドライバ・レシーバ間の, 電源・グラウンド電圧レベル差を出力負荷に変換するゲート遅延モデルが提案されている。遅延変化を出力負荷の置換で見積もるという点で考え方は同様だが, 本研究でのばらつきは製造・環境ばらつき両方を含んでおり, 対象が異なる。

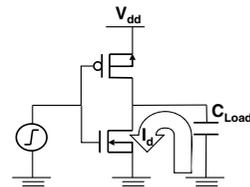


図 2: 提案モデルの概念を示すために用いるインバータ

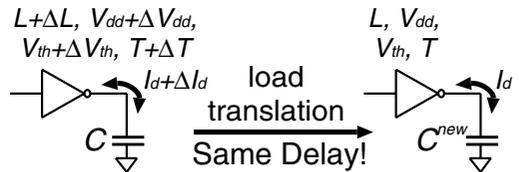


図 3: ばらつきを出力負荷に変換する提案モデルの概念図

2.3 解析例

提案概念の有効性を、90 nm プロセスを用いた例で示す。実験に用いる回路は図 2 に示すインバータとし、出力容量 C_{Load} は 100 fF とした。ステップ立上り入力を入れたときの立下り出力を見る。ここでは電源電圧 V_{dd} のみが変動するとした。図 4 の上図ではばらつきのある V_{dd} で回路シミュレーションを行った場合と、提案概念を用いて負荷を置換した後に回路シミュレーションを行った場合の遅延変動を示す。下図は提案モデルの遅延見積もり誤差を示す。この解析から、標準電源電圧が 1.0 V で 0.7 V から 1.3 V まで変動する場合でも遅延見積もり誤差は 2% 以下であることが分かり、提案概念が広範囲ばらつきでも有効であることを確認できた。図 5 に波形例を示す。出力波形も正確に見積もられている。ここで、電源電圧の違いは波形の電源電圧を 1.0 V に正規化し除去した。ゲート遅延は電圧正規化後の波形から測る。同様に、 L , V_{th} , T のばらつき下においても提案概念の有効性を確認した。

3 RC 負荷, ゆるやかな入力遷移波形への対応

提案概念の実装には電流モデル化において、(1) RC 負荷への対応、(2) ゆるやかな入力遷移への対応という 2 つの課題がある。本章では各課題の解決策を示す。

3.1 RC 負荷

近年のテクノロジーでは、特にブロック間配線において配線抵抗が大きい場合、RC 負荷への対応は必須である。提案モデルでは、C 負荷の場合と同様に取扱うことが可能である。図 6 は一般的な RC 出力負荷に対する提案概念の

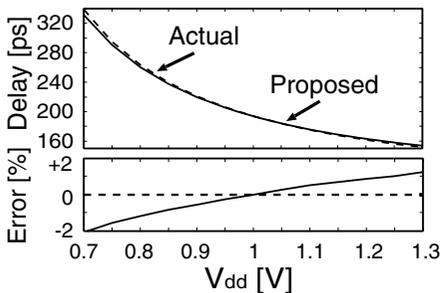


図 4: V_{dd} 変動時の遅延見積もり (インバータ, ステップ入力, 出力負荷: 100 fF)

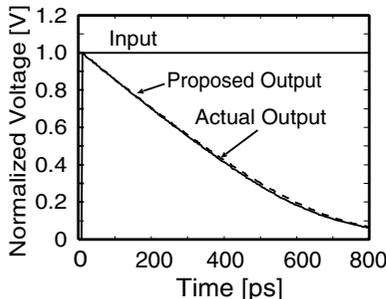


図 5: 伝播波形 (インバータ, ステップ入力, V_{dd} : 0.7 V (ばらつき時), 1.0 V (標準時), 出力負荷: 100 fF)

対応を示す。Y をばらつきが存在する実際の回路におけるアドミタンス, Y^{new} はばらつきを出力負荷に変換後のアドミタンスとする。 Y^{new} は以下のように計算される。

$$Y^{new} = \frac{I_d}{I_d + \Delta I_d} \frac{V_{dd} + \Delta V_{dd}}{V_{dd}} Y \quad (8)$$

これより式 (7) は式 (8) の特別な一例であることが解る。図 7 の π 型回路では, $C_1^{new}, C_2^{new}, R^{new}$ は以下のように表される。

$$C_1^{new} = \frac{I_d}{I_d + \Delta I_d} \frac{V_{dd} + \Delta V_{dd}}{V_{dd}} C_1 \quad (9)$$

$$C_2^{new} = \frac{I_d}{I_d + \Delta I_d} \frac{V_{dd} + \Delta V_{dd}}{V_{dd}} C_2 \quad (10)$$

$$R^{new} = \frac{I_d + \Delta I_d}{I_d} \frac{V_{dd}}{V_{dd} + \Delta V_{dd}} R \quad (11)$$

3.2 ゆるやかな入力遷移に対する電流見積もり

次に、式 (7), (8) でばらつきのある出力負荷への変換に用いる電流の見積もりについて議論する。入力遷移が鋭い場合、つまり出力遷移が入力遷移よりはるかに遅い場合は、2.2 節で述べたように I_d としては I_{step} を用いればよい。

この節では図 2 を例に入力遷移が出力遷移より遅い場合を議論する。NMOS の動作状態は入力波形と出力負荷に依存するため、変換に用いるべき放電電流を定めることが容易ではない。この問題を解決するため、入力波形と出力負荷の様々な条件下で電流を観測した結果、出力が電源電圧の 50% を横切る付近で放電電流がほぼ最大値をとることが分かった。また、入力が NMOS の閾値電圧に達すると放電電流が流れ始めることは明らかである。

ゆるやかな入力遷移に対する典型的な電流波形を図 8 に示す。電流波形の形状は台形に近似され、電流の積分値は、高さが平均電流 $I_{avg} = \frac{1}{2}(I_{V_{in}=V_{th}} + I_{V_{out}=0.5V_{dd}})$ の長方形の面積に等しい。ここで $I_{V_{in}=V_{th}}$ は入力電圧が閾値電圧に等しいときのドレイン電流を、 $I_{V_{out}=0.5V_{dd}}$ は出力電圧が電源電圧の 1/2 に等しいときのドレイン電流を表す。ゲート遅延は出力負荷の放電時間であり、出力電圧は放電された電荷量に依存するため、放電電流の積分値が遅延を決定する。この議論により、 I_{avg} はゆるやかな入力遷移に対して妥当であると考えられる。従って、ゆるやかな入力遷移に対しては I_d として I_{avg} を用いる。 $I_{V_{in}=V_{th}}$ は $I_{V_{out}=0.5V_{dd}}$ と比べて小さな値ではあるが、 $I_{V_{in}=V_{th}}$ が正確な遅延見積もりに必要であることを実験的に確認している。特に、 V_{dd} と V_{th} の値が近い場合には重要である。

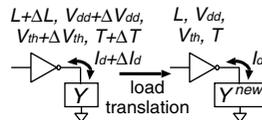


図 6: 一般的な RC 出力負荷への対応

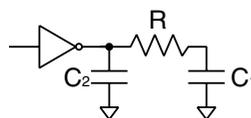


図 7: CRC π 型回路

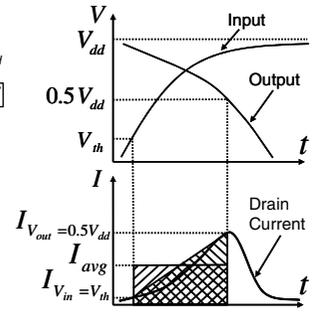


図 8: ゆるやかな入力遷移に対する電流見積もり

電流のモデル化にはばらつき変数の増加や多入力セルにも適用できる順応性、ロバスト性が必要である。そこで本稿では、電流予測式算出に応答曲面法を使用した。応答曲面法では求める精度に応じて多項式の次元を選択可能である。但し十分な精度が実現可能なら他手法を用いてもよい。本研究では $I_{V_{in}=V_{th}}(1/L, V_{dd}, dV_{th}, T, V_{th})$, $I_{V_{out}=0.5V_{dd}}(1/L, V_{dd}, dV_{th}, T, V_{in})$ の 2 次式を予測した。 $I_{V_{in}=V_{th}}$ の予測では、 $V_{in} = V_{th}$ となるのは出力遷移開始時刻であり、出力電圧を V_{dd} とおいても妥当である。必要となる V_{th} は L, V_{dd}, dV_{th}, T に依存しており、事前に応答曲面法等で見積もりを行う。また出力が $0.5V_{dd}$ の時刻における V_{in} の計算は容易ではないが、出力負荷を提案法で更新し反復計算することで見積もり可能なことを実験的に確認した。この問題は 4.2.1 項で詳しく説明する。

3.3 スイッチング開始時刻の問題

提案モデルは電源電圧と閾値電圧の大きなばらつきにも対応できる。しかしそれらのばらつきが大きい場合、ばらつき時と標準時で出力遷移開始時刻が異なるという問題が生じる。例えば電圧が降下すると、提案モデルでは電圧に関して波形を伸張させることになるため、入力が閾値電圧に達する時刻が早まり、電流変動とは無関係な遅延増加を引き起こす。これを図 9 に示す。同様な問題が閾値電圧変動時にも生じる。従って、閾値電圧を横切る時刻のオフセット Δt は別に計算し、遅延見積もりを補正する。STA (Static Timing Analysis) の際は入力遷移波形が与えられるので、 Δt の計算には特別な情報は必要ない。

4 実験結果

本章では、提案モデルの精度と適用可能なばらつき範囲の広さを実証する。本実験では、ばらつき要素として L, V_{dd}, dV_{th}, T を想定する。ばらつき条件は表 1 に示す。各要素は正規分布でばらつくと仮定する。

V_{dd}, V_{th} を広範囲に変化させるので、組合せの中には MOSFET が弱反転領域 (サブスレッショルド領域) でしか動作しないものもある。サブスレッショルド電流は V_{dd}, V_{th} によって指数関数的に変化するので、多項式に回帰するのは適切ではない。しかし一般的にそのような組合せではゲート遅延が非常に大きくなるので、MOSFET が弱反転領域でしか動作しない V_{dd}, V_{th} の組合せは除去した。

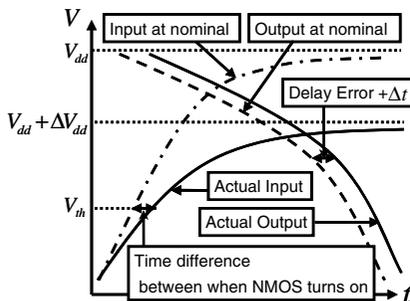


図 9: 電圧ばらつきにより NMOS 動作開始時刻がずれるため、出力遷移開始時刻がずれる

また、実験に用いた 90 nm プロセスでは、2 fF は標準インバータの入力容量に相当する。そして、特に断りがない場合、インバータの立下り遅延における結果とする。

4.1 適用可能範囲

提案モデルと感度法の適用可能なばらつき範囲を比較する。 dV_{th} のみがばらつく例を挙げる。遅延見積もり誤差の比較を図 10 に示す。提案モデルは、 dV_{th} が ± 0.35 V と広くばらついても、正確な見積もりが可能である。10% 以内の遅延見積もり誤差が要求される場合、表 2 に示すように感度法に対し提案モデルは幅広く適用できる。提案モデルは DVS, 可変 V_{th} 設計に有用である。

4.2 容量性負荷での正確な見積もり

4.2.1 V_{in}, I_{avg} の計算

3.2 節で示したように、 $I_{V_{out}=0.5V_{dd}}$ を計算するためには $V_{out} = 0.5V_{dd}$ の時刻での V_{in} を知る必要がある。しかし V_{in} は入力遷移時間や出力負荷だけでなくばらつきにも依存する。従って、 V_{in}, I_{avg} は以下のように反復計算する:

- Step 1:** 標準状態における $V_{out} = 0.5V_{dd}$ の時刻での V_{in} から、ばらつき時の I_{avg} を計算する
Step 2: Step 1 の I_{avg} を用いて出力負荷を置換する
Step 3: Step 2 の出力負荷で、 V_{in} と I_{avg} を再計算する

上記の方法で計算した I_{avg} を、過渡解析から得られた正確な V_{in} の値を用いて計算した I_{avg} と比較する。モンテカルロ解析の結果から、 I_{avg} 見積もりの RMS 誤差は、出力負荷 2 fF で $4.4 \mu\text{A}$ (7.6%), 出力負荷 10 fF で $3.6 \mu\text{A}$ (4.0%), 出力負荷 100 fF で $0.22 \mu\text{A}$ (0.17%) であった。出力負荷 10 fF の場合の精度を図 11 に示す。この結果から、 I_{avg} は上記の方法により見積もることが可能であると言える。また、反復回数を増やしても精度の向上はわずかであった。

表 1: モンテカルロ解析でのばらつき条件

ばらつき要素	平均	3σ
L	100 nm	20 nm
V_{dd}	1.0 V	0.5 V
dV_{th}	0 V	0.3 V
T	37.5°C	82.5°C

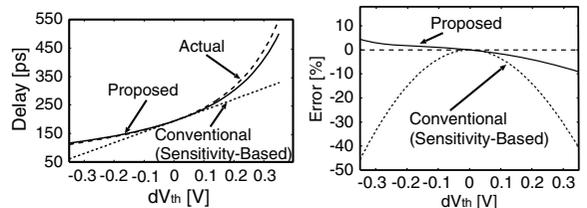


図 10: 適用可能範囲の比較

表 2: 誤差 10% 以内の精度を実現できる適用範囲

ばらつき要素	提案モデル	感度法
V_{dd}	± 0.5 V	± 0.2 V
V_{th}	± 0.35 V	± 0.16 V

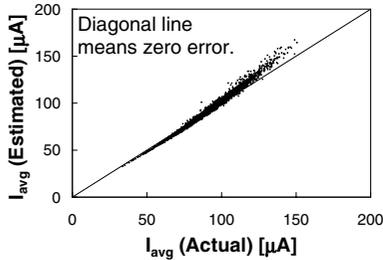


図 11: I_{avg} 見積もり精度 (入力遷移時間: 100 ps, 出力負荷: 10 fF)

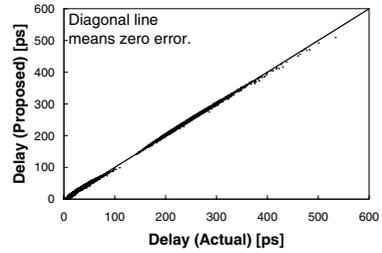


図 12: 遅延見積もり精度 (入力遷移時間: 100 ps, 出力負荷: 2, 10, 100 fF)

4.2.2 遅延見積もり精度

次に遅延見積もり精度について述べる。モンテカルロ解析で 3000 回の評価を行った。入力遷移時間が 100 ps (遷移時間 100 ps はファンアウト数 8 に相当) の遅延見積もり精度を図 12 に示す。RMS 誤差は出力負荷 2 fF で 3.2 ps (14.8%), 出力負荷 10 fF で 2.3 ps (5.4%), 出力負荷 100 fF で 3.4 ps (0.68%) であった。提案モデルの遅延ヒストグラムと CDF (累積確率密度関数) を図 13, 図 14 に示す。また、出力遷移時間の RMS 誤差は出力負荷が 2 fF の場合 1.7ps (5.3%), 100 fF の場合 6.1 ps (1.4%) であった。さらに V_{dd} ばらつきの際の波形例を図 15 に示す。入力遷移がゆるやかかつ出力負荷が小さい場合、一般に遅延見積もりは困難であるが、提案モデルは遅延、波形、出力遷移時間が正確に見積もり可能である。

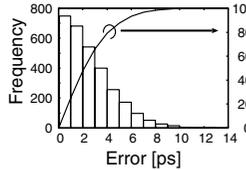


図 13: 遅延誤差ヒストグラム (入力遷移時間: 100 ps, 出力負荷: 2 fF)

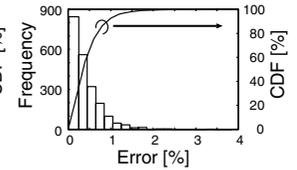


図 14: 遅延誤差ヒストグラム (入力遷移時間: 100 ps, 出力負荷: 100 fF)

4.2.3 ゲート遅延分布

提案モデルを用いた場合に、遅延分布がどの程度正確に再現できるかを確認する。モンテカルロ解析を行い、回路シミュレーションより求めた実際の分布と提案モデルの分布を比較した。遅延ヒストグラムと CDF を図 16, 図 17 に示す。提案モデルによる分布は実際の分布と合致しており、遅延分布をうまく再現できることが確認できた。

4.2.4 NAND ゲート, NOR ゲート

提案モデルがインバータ以外に NAND ゲート, NOR ゲートにも適用できることを示す。 L , dV_{th} は各トランジスタで独立に変動するとし、モンテカルロ解析で 500 回の評価を行った。遅延見積もり精度の RMS 誤差は、2 入力 NAND ゲートの場合 3.9ps (5.5%), 2 入力 NOR ゲートの場合 4.9ps (9.1%) であった。各遅延見積もり精度を、それぞれ図 18, 図 19 に示す。提案モデルは 1 段の任意の CMOS ゲートに適用可能であることが確認できた。

4.3 RC 負荷

出力に RC 負荷が与えられた場合の精度について述べる。モンテカルロ解析で 3000 回の評価を行った。RC 負荷として長さ 2 mm の配線を用い、配線は文献 [12] の手法により CRC π 型回路に変換した。提案モデルの遅延見積もり精度を図 20 に示す。この場合の RMS 誤差は 11.6 ps (1.2%) であった。また、波形例を図 21 に示す。出力が RC 負荷の場合にも提案モデルが有効であることを確認した。

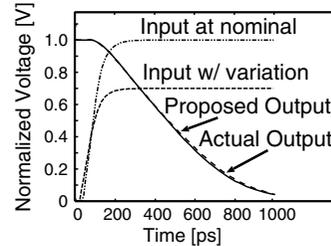


図 15: 伝播波形 (V_{dd} : 0.7 V, 入力遷移時間: 100 ps, 出力負荷: 100 fF)

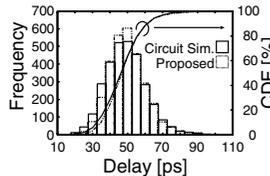


図 16: 遅延分布 (入力遷移時間: 100 ps, 出力負荷: 10 fF)

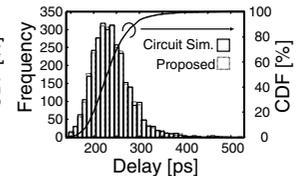


図 17: 遅延分布 (入力遷移時間: 100 ps, 出力負荷: 100 fF)

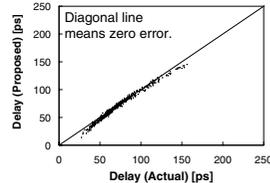


図 18: 遅延見積もり精度 (NAND, A: LH (入力遷移時間 100 ps), B: High, 出力負荷: 10 fF)

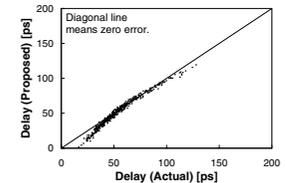


図 19: 遅延見積もり精度 (NOR, A: LH (入力遷移時間 100 ps), B: Low, 出力負荷: 10 fF)

4.4 感度計算への利用

ばらつき要素の平均自体が変動した場合、標準条件で求めた感度は実際とは異なる。提案モデルはばらつき要素

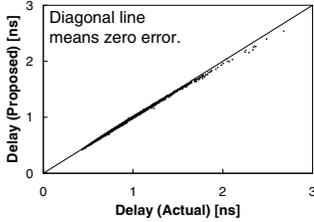


図 20: 遅延見積もり精度 (RC 負荷, 入力遷移時間: 100 ps, 出力負荷: 2 mm 配線)

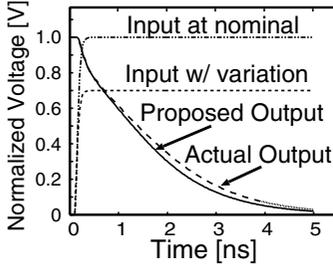


図 21: 波形例 (RC 負荷, 入力遷移時間: 100 ps, 出力負荷: 2 mm 配線, L : 80 nm, V_{dd} : 0.7 V, dV_{th} : 0.1 V, T : 70°C)

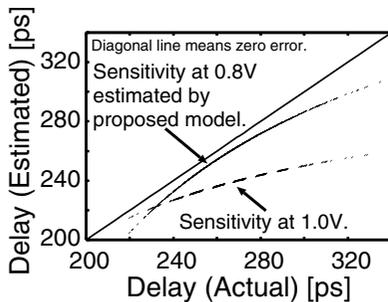


図 22: 感度法による遅延見積もり (実際の標準状態の V_{dd} : 0.8 V, ステップ入力, 出力負荷: 100 fF). 実線: 標準状態の V_{dd} を 1.0 V とした感度を使用, 破線: 提案法で求めた 0.8 V の感度を使用

の平均が変動した際に, 容易に式 (1) の感度を与えることが可能である. 例えば標準状態での $V_{dd} = 0.8$ V ($3\sigma = 0.1$ V) の場合, 1.0 V のときの感度を用いるのは正確ではない. 一方, 提案モデルを用いて 0.8 V における感度を求めると, 見積もり精度は大きく改善される. 図 22 にこの例の遅延見積もり精度を示す. 提案モデルは広い条件の感度を計算可能であり, 感度ベースモデルが有用である, SSTA での精度改善に使用可能である.

4.5 多段パスへの適用

図 23 の多段パスを想定する. L , dV_{th} は各トランジスタで異なるばらつきを持ち, $V_{dd} = 0.9$ V, $T = 63.6^\circ\text{C}$ とする. 提案モデルを適用した波形例を図 24 に示す. 提案モデルはほとんど誤差なく波形を再現できており, 多段パスでも高い精度の見積もりが可能である.

5 結論

ばらつきにより変動するゲート遅延を, 電流変動を出力負荷へ変換することで求める手法を提案した. 提案モデ

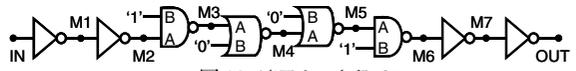


図 23: 適用する多段パス

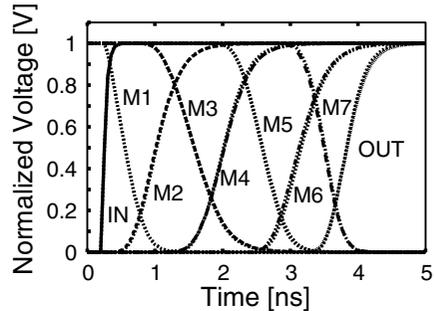


図 24: 多段パスに適用した波形例 (入力遷移時間: 100 ps, 各ゲート間容量: 100 fF). 実線: 実際のばらつき時の波形, 破線: 提案モデルで見積もった波形

ルにより感度法と比較して幅広い製造・環境ばらつきに対応する正確な遅延見積もりが実現できる. また, 広いばらつき適用範囲により, 多数のキャラクタライズを除去し, DVS と可変 V_{th} 設計のタイミング検証への解決策を提供できる可能性があることを明らかにした. 今後の課題は, さらに遷移時間が長い入力への対応である.

謝辞

本研究の一部は NEDO 産業技術研究助成, ならびに STARC 物理開発設計室からの委託研究による. 貴重な議論を頂いた STARC 増田弘生室長に感謝致します.

参考文献

- [1] H. Masuda, S. Ohkawa, A. Kurokawa and M. Aoki, "Challenge: Variability Characterization and Modeling for 65- to 90-nm Processes," in *Proc. CICC*, pp. 593-599, 2005.
- [2] H. Chang and S. Sapatnekar, "Statistical Timing Analysis under Spatial Correlations," *IEEE Trans. CAD*, Vol. 24, No. 9, pp. 1467-1482, Sep. 2005.
- [3] C. Visweswariah, K. Ravindran, K. Kalafala, S. G. Walker and S. Narayan, "First-order Incremental Block-Based Statistical Timing Analysis," in *Proc. DAC*, pp. 331-336, 2004.
- [4] J. Le, X. Li and L. T. Pileggi, "STAC: Statistical Timing Analysis with Correlation," in *Proc. DAC*, pp. 343-348, 2005.
- [5] 築山 修治, "統計的タイミング解析: 概論," 第 18 回回路とシステム軽井沢ワークショップ, pp. 533-538, Apr. 2005.
- [6] S. Pant and D. Blaauw, "Static Timing Analysis Considering Power Supply Variations," in *Proc. ICCAD*, pp. 365-371, 2005.
- [7] M. Hashimoto, J. Yamaguchi and H. Onodera, "Timing Analysis Considering Spatial Power/Ground Level Variation," in *Proc. ICCAD*, pp. 814-820, 2004.
- [8] S. Sapatnekar, "Timing," Kluwer Academic Publishers, 2004.
- [9] T. Sakurai and A. R. Newton, "Alpha-Power Law MOSFET Model and its Applications to CMOS Inverter Delay and Other Formulas," *IEEE Journal of Solid-State Circuits*, Vol. 25, No. 2, pp. 584-594, 1990.
- [10] J. M. Rabaey, A. Chandrakasan and B. Nikolic, "Digital Integrated Circuits," Pearson Education, Inc., Upper Saddle River, New Jersey, 1996.
- [11] Synopsys Corp., "Pathmill Reference Manual," 2005.
- [12] P. R. O'Brien and T. L. Savarino, "Modeling the Driving-Point Characteristic of Resistive Interconnect for Accurate Delay Estimation," in *Proc. ICCAD*, pp. 512-515, 1989.