

LSI 配線における容量性, 誘導性クロストークノイズの定量的将来予測 Quantitative Prediction of Capacitive and Inductive Crosstalk Noise in LSI interconnects

小笠原 泰弘, 橋本 昌宜, 尾上 孝雄

大阪大学大学院情報科学研究科情報システム工学専攻

Yasuhiro OGASAHARA, Masanori HASHIMOTO, Takao ONOYE

Dept. Information Systems Engineering, Osaka University

概要

容量性クロストークノイズは従来より配線遅延の変動の要因として知られ, 配線のスケールリングによって今後より深刻になると考えられている. 一方, 先端のプロセスのグローバル配線においては信号周波数の上昇によって誘導性クロストークノイズが重要な問題となりつつある. 本論文では将来のプロセスにおける容量性, 誘導性クロストークノイズの傾向について定量的な予測を行う. ITRS の予測に基づき, プロセスの進化に関する 2 種の予測シナリオを仮定して各種パラメータを設定し, 回路シミュレーションによりノイズ振幅, タイミングへの影響を評価する.

1 はじめに

近年のプロセスではゲート遅延に対する配線遅延の比率が高くなり, 配線遅延が回路設計の上で重要な要素となっている. 配線設計では配線遅延予測のため, 配線抵抗, 容量の他, 配線ノイズ等を考慮する必要がある. 特に, 配線遅延の割合が高いグローバル配線では, 配線遅延の正確な予測のため, クロストークノイズの考慮が重要である.

本論文ではクロストークノイズの問題に取り組む. 配線間容量に起因する容量性クロストークノイズは従来のプロセスから問題とされてきた. プロセスが進むに従い配線間隔は狭まり, 配線のアスペクト比が大きくなる傾向がある. さらに, プロセスが進むと信号の立上り時間は短くなる. これらの要因からプロセスが進むと容量性クロストークノイズの影響が増大すると予測される. 近年のプロセスでは, グローバル配線において, 配線間の相互インダクタンスに起因する誘導性クロストークノイズの影響も問題となりつつある. グローバル配線はローカル配線のようにスケールしないため, プロセスが進んでも配線長の変化は小さく, インダクタンスの値も変化しない. 一方で, プロセスが進むにつれて信号周波数は増加するため, インダクタンスの影響が大きくなる. このように, 容量性, 誘導性のクロストーク共に, プロセスが進むにつれて影響が大きくなると考えられる.

クロストークノイズについては解析式やシミュレーションに基づいた傾向の解析 [1-3] や実測による検証 [4-6] が

行われている. 微細化による配線長の短縮によってノイズの影響が下がるという報告もあるが [3], 一般的には容量性, 誘導性クロストーク共にその性質からプロセスが進むことによってその影響が大きくなると考えられている. しかし誘導性クロストークも含めた今後のプロセスにおけるノイズの影響を定量的に将来予測した研究は報告されていない. 本論文では ITRS (International Technology Roadmap for Semiconductor) の予測に従って, トランジスタの性能, 電源電圧等が推移すると仮定し, 今後のプロセスにおける誘導性, 容量性クロストークの影響を回路シミュレーションを用いて定量的に評価する.

本論文の構成を以下に述べる. 2 章で伝送線路, およびクロストークノイズの性質について述べる. 3 章で本論文で仮定する今後のプロセスの予測シナリオを述べ, 4 章においてこの予測シナリオに基づいた容量性, 誘導性クロストークの傾向の予測と考察を行う. 最後に 5 章においてまとめを述べる.

2 配線の伝送線路特性とクロストーク

本章では, 配線の伝送線路特性について説明する. さらに, 本論文の主題である容量性, 誘導性クロストークの性質とプロセスの進化との関連について述べる.

2.1 長距離配線の伝送線路特性

配線が長い場合, または信号の立上り時間が短い場合, 配線の伝送線路特性を考慮する必要がある [7, 8]. 伝送線路特性を考慮する場合, 回路シミュレーションでは RC, または RLC 分布定数回路として配線を扱う. ただし, 配線を伝送線路として扱う場合, 帰還電流路が明確である必要がある. 配線のドライバのサイズは配線の特性インピーダンスとドライバ抵抗との整合を取って決定する手法が一般的である. 伝送線路とドライバが接続された回路に立上り波形が入力されると, 配線とドライバの電圧比はドライバの抵抗と配線の特性インピーダンスの比に等しくなる. 配線の特性インピーダンスとドライバ抵抗を等しくすることで入力電圧の 50% の電圧が配線に入射される. 配線終端が MOS の場合, 開放終端のため終端で電圧が倍になり,

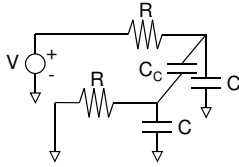


図 1: 2 配線間の等価回路

ゲートの駆動に十分な電圧が次段に入力される。また、長距離配線では信号の減衰を考慮する必要がある。減衰定数 α 、配線長 l に対して信号は $e^{-\alpha l}$ 倍に減衰する。

2.2 クロストークノイズ

容量性クロストークは配線間容量に起因する。2 配線間の場合、 $v_{noise} = RC_C \cdot dV/dt$ の関係から、一方の配線の電圧変動によって電圧が変動する [7, 8]。ただし、 C_C は配線間容量、 R は配線抵抗やドライバの出力抵抗等を含めたノイズを観測する点と理想電源との間の抵抗値とする。プロセスが進むと MOS の性能の向上により dV/dt の値も大きくなり、容量性クロストークの影響は増加する。図 1 の等価回路で考えた場合、容量性クロストークのピーク値 v_{max} は信号の遷移時間 t_r から近似式 (1) [9] で表される。

$$v_{max} = \frac{RC_C \cdot v_{dd}}{R(C + C_C) + t_r/2} \quad (1)$$

この式から、ノイズ電圧は $dV/dt (=v_{dd}/t_r)$ に対して必ずしも敏感に変化しないと考えられる。また、近年のプロセスではプロセスが進むにつれて配線間隔が減少する。一方で配線のアスペクト比は大きくなるため、配線間容量は大きくなる。これらの定性的な根拠から、プロセスが進むと容量性クロストークの影響は大きくなると考えられている。

誘導性クロストークは配線間の誘導性結合に起因する。2 配線間の場合、 $v_{noise} = M \cdot dI/dt$ の関係から、一方の配線の電流値の変化によって他方の配線の電圧が変動する [7, 8]。ただし、 M を相互インダクタンスとする。プロセスが進むと信号周波数は高くなり、 dI/dt が増加するため、誘導性クロストークの影響は大きくなるとされる。一方で、配線抵抗の増加によって特性インピーダンスが大きくなると、電流値が減少して誘導性クロストークの影響が小さくなると考えられる。誘導性クロストークは容量性クロストークと異なり、信号線によってシールドされにくく、広範囲の配線に影響を及ぼす傾向がある。容量性クロストークは隣接配線の影響が考慮されるが、誘導性クロストークは多数の配線からのノイズの重ね合わせ効果を考慮する必要がある。

図 2 に、容量性、誘導性クロストークが同時に現れた場合の波形の例を示す。対称な 2 配線間で配線を無損失な伝

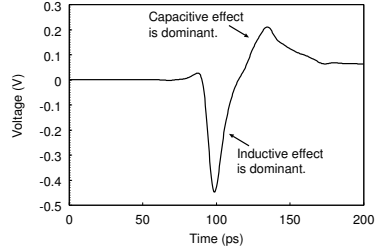


図 2: クロストークノイズ波形の一例

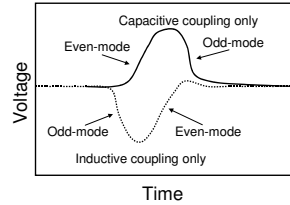


図 3: 容量性結合のみ、誘導性結合のみを考慮した場合のノイズ波形の概念図

送線路とする場合、電圧の伝搬は偶モードと奇モードの波の和として式で表される [1]。このとき、容量性結合のみを考慮した場合の偶、奇モードの波の伝搬時間は式 (2) で、誘導性結合のみを考慮した場合は式 (3) で表される。

$$\begin{aligned} t_{even} &= l\sqrt{CL} \\ t_{odd} &= l\sqrt{C + 2C_C}L \end{aligned} \quad (2)$$

$$\begin{aligned} t_{even} &= l\sqrt{C(L + M)} \\ t_{odd} &= l\sqrt{C(L - M)} \end{aligned} \quad (3)$$

ただし、 l を配線長、 L を配線のインダクタンスとする。誘導性結合によるノイズの偶モードが最も伝搬時間が短く、その次に容量性結合によるノイズの奇モードが伝搬時間が短いため、図 3 に示す概念図のように誘導性結合によるノイズの影響が先に現れる。また、容量性結合によるノイズと誘導性結合によるノイズは逆方向の波形を持つため、互いに打ち消しあう。このため、図 2 のように誘導性結合の影響が最初に現れた後、容量性結合の影響が現れる波形が観測される。なお、本論文では誘導性結合の影響が支配的となって現れる波形を誘導性クロストークノイズ、容量性結合が支配的な波形を容量性クロストークノイズとする。

3 プロセス予測シナリオとシミュレーション条件

本論文では今後のプロセスにおける誘導性、容量性クロストークの影響をシミュレーションから定量的に評価する。本章では評価に用いるプロセス進化の予測シナリオについて示す。同時に、シミュレーションで用いる配線構造などの条件についても述べる。

表 1: 予測シナリオ 1 プロセスパラメータ. 'A' 区切りは S=W/S=4W の場合のパラメータをそれぞれ示す.

プロセス	90nm	65nm	45nm	32nm
立上り時間 (ps)	25	15.6	10	6.3
電源電圧 (V)	1.2	1.1	1.0	0.9
絶縁体比誘電率	3.3	2.8	2.6	2.2
配線幅 (μm)	1	0.67	0.49	0.35
配線間隔 (μm)	1/4	0.67/2.68	0.49/1.96	0.35/1.39
配線厚み (μm)	0.9	0.64	0.49	0.34
配線分割数	9/9	14/13	21/19	35/30
特性インピーダンス	121/138	139/168	149/180	180/214

3.1 予測シナリオ

本論文では以下の 2 種の予測シナリオを仮定し, 90nm, 65nm, 45nm, 32nm プロセスについて評価を行う.

予測シナリオ 1

配線寸法, MOS の性能, 電源電圧, 絶縁体の誘電率が ITRS [10, 11] の予測に従って推移すると仮定する.

予測シナリオ 2

MOS の性能, 電源電圧, 絶縁体の誘電率が ITRS の予測に従って推移すると仮定する. 配線寸法については全くスケールしないと仮定する.

予測シナリオ 1 ではプロセスの進化に関する業界予測である ITRS に基づき, 各パラメータが変化すると仮定する.

予測シナリオ 2 では配線寸法のみが全くスケールしないと仮定する. 配線がスケールする場合, プロセスが進むにつれて配線幅, 配線厚みは減少し, 配線抵抗が大きくなる. しかし, 配線抵抗が大きくなることによって配線の伝搬遅延は大きくなるため, 長距離の高速な信号伝送には不利となる. 予測シナリオ 2 では, 長距離の信号伝送のために幅, 厚みがスケールせず, 配線抵抗の小さいグローバル配線層が用意されると仮定する. 過去の傾向からプロセスが進むにつれて配線層の数は増加しており, 長距離のグローバル配線や電源分配のためにスケールしない, または ITRS の予測よりも緩やかにスケールする配線層が用意される可能性は高いと考えられる.

3.2 予測シナリオ 1 評価条件

予測シナリオ 1 では 90-32nm の各プロセスについて, ITRS の予測 [10] に従い, MOS の特性, 電源電圧, 絶縁体の誘電率を決定する. 配線については ITRS のグローバル配線に関する予測 [11] に従うと仮定する. 表 1 に予測シナリオ 1 における各プロセスのパラメータを示す.

回路シミュレーションでは各プロセスにおける MOS のモデルとして, ITRS2004 の予測に従って作られた SPICE 用モデル [12] を用いる. このモデルでは MOS の閾値電圧, オン電流, 入力容量, ゲート遅延等が ITRS の予測と合致するように作られている. インバータのレイアウトのパ

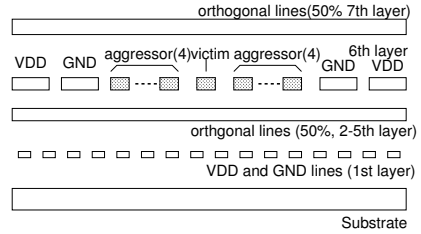


図 4: RLC 抽出, 回路シミュレーションで用いる配線構造

ラメータは 90nm のある実プロセスのパラメータからゲート長の比率でスケールさせたものを用いる.

クロストークノイズの評価に用いる配線構造を図 4 に示す. 評価に用いる配線層はある 90nm プロセスを元に決定した. 攻撃配線 8 本と被害配線を M6 層に配置する. 攻撃配線の中央に被害配線を配置し, 電源配線を外側に配置する. 容量抽出の際には M2-M5, M7 層に 50% の密度の直交配線を配置する. 抵抗, インダクタンス抽出の際には帰還電流路として M6 層の電源配線の他, M1 層の電源配線を考慮する. 攻撃配線を多数配置するのは誘導性クロストークの重ねあわせ効果を得るためである. 90nm プロセスにおいて配線幅=1μm, 配線厚み=0.9μm とし, 65-32nm プロセスでは ITRS に従ってスケールさせる. 配線間隔 (S) は配線幅 (W) に対して S=W, および S=4W の値を用いて評価を行う. 配線構造は誘導性, 容量性クロストークの影響が共に顕著に現れる構造を選択した. S=W の構造では容量性クロストークが顕著に現れる. S=4W の構造では容量性クロストークが抑制されるため, 誘導性クロストークが顕著に現れる. クロストークの影響はある 90nm テクノロジーの MOS の SPICE モデル, および配線寸法を用いたシミュレーションから求めた. 配線長は 10mm とし, 適当な数に分割してバッファを挿入する. 配線の分割数は式 (4) [13] に従って求める. 式 (4) は配線遅延を最小化するための配線の分割数の指標の 1 つである.

$$k = \sqrt{\frac{0.4R_{int}C_{int}}{0.7R_0C_0}} \quad (4)$$

k は配線の分割数, R_{int} , C_{int} は配線の抵抗, 容量値, R_0 , C_0 はそのプロセスにおける最小サイズインバータのドライブ抵抗, 入力容量値である. また, 信号の減衰を考慮して, 50% 減衰する配線長で配線を分割する手法も存在するが, 今回の条件においては式 (4) から求まる配線長の方が短いため減衰の影響は考慮しないものとする.

回路シミュレーションでは配線を RLC ラダー回路として扱う. 帰還電流路が平行に走る同層, M1 層の電源配線のみであると仮定した上で配線を伝送線路として扱う. 配線の抵抗, 容量, インダクタンスは 3 次元電磁界解析ツ

ル [14] を用いて抽出する。容量の抽出では上下層の直交配線や基板を考慮し、抵抗、インダクタンスの抽出では同層、および M1 層の電源配線を考慮する (図 4)。抵抗とインダクタンスは周波数依存性を持つため、ドライバの入力立ち上り時間に基づく特徴周波数 [7] の値を用いる。特徴周波数は 90nm, 65nm, 45nm, 32nm でそれぞれ 13.6GHz, 21.8GHz, 34GHz, 54GHz とする。配線のドライバは抵抗または MOS を用いる。抵抗の場合は配線の特性インピーダンスと同じ抵抗値に設定する。MOS の場合は $V_{gs} = V_{ds} = V_{dd}$ 時の I_{ds} で V_{dd} を割った値を MOS の抵抗値とし、ほぼ等しい値になるようにドライバサイズを設定する。

3.3 予測シナリオ 2 評価条件

予測シナリオ 2 では MOS の性能、電源電圧、絶縁体の誘電率が ITRS の予測に従うものとし、予測シナリオ 1 と同じ SPICE モデルを用いる。評価に用いる配線構造は予測シナリオ 1 と同様である。予測シナリオ 2 ではプロセスが進んでも配線はスケールしないと仮定するので、配線寸法は予測シナリオ 1 の 90nm プロセスにおける値 (配線幅=1 μ m, 配線間隔=1, 4 μ m, 配線厚み=0.9 μ m) を全てのプロセスで用いる。配線がスケールしないため、配線長は 1000 μ m で固定し分割は行わない。予測シナリオ 2 では配線間隔=4 μ m として幅=1 μ m の電源配線をシールド配線として挿入した場合についてもシミュレーションを行う。この構造では、電源配線による誘導性クロストークノイズの低減の効果について評価する。

4 予測結果と考察

本章では 3 章で示した予測シナリオに従い、将来のプロセスにおける容量性、誘導性クロストークの影響について評価を行う。ノイズの影響の評価はノイズのピーク電圧、および配線遅延変動の観点から行う。

4.1 予測シナリオ 1

図 5 に予測シナリオ 1 を用いた場合の電源電圧に対するノイズ電圧ピーク値の比率の変化を示す。ノイズピーク値はドライバを抵抗に置き換えた回路において全ての攻撃配線と同時に立ち上り遷移を発生させて評価を行った。ノイズピーク値は分割された最初の配線の終端において観測し、配線の終端にはドライバに相当するサイズのインバータを用いる。この場合、図 2 に示すように容量性クロストークノイズのピーク値は正の値を取り、誘導性クロストークノイズのピーク値は負の値を取るため図中でもそのように表記する。

プロセスが進むにつれて容量性クロストークのピーク値が増加し、逆に誘導性クロストークのピーク値は減少する傾向にある。プロセスが進むことによって配線間隔が狭くなり、配線間容量が増加するため、容量性クロストーク

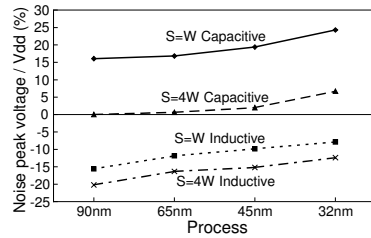


図 5: 予測シナリオ 1, ノイズピーク電圧対 V_{dd} 比

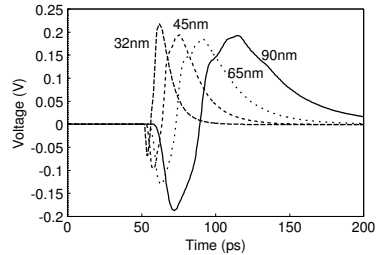


図 6: 予測シナリオ 1, 終端ノイズ波形 (S=4W)

の影響が増加すると考えられる。一方、配線がスケールするためプロセスが進むと配線抵抗の増加によって配線の特性インピーダンスが増加し、電流値が減少するため、誘導性クロストークの影響は小さくなる。また、増大する容量性クロストークによって誘導性クロストークの波形は打ち消され、影響が小さくなると考えられる。

図 6 に S=4W の条件下における被害配線終端のノイズ波形を示す。攻撃配線の遷移は立ち上りであるため、山型の波形が容量性クロストーク、谷型の波形が誘導性クロストークによるものである。90nm プロセスでは容量性、誘導性クロストーク共にその影響がノイズ波形に現れているが、プロセスが進むにつれて容量性クロストークが支配的となり、誘導性クロストークの影響が隠蔽されている。

図 7, 8 に攻撃配線と被害配線に全て立ち上りの遷移を発生させ、攻撃配線と被害配線の遷移タイミング差を変化させた場合の配線遅延の変動率を示す。配線遅延を観測するため、ドライバ、終端には MOS を用いる。遅延変動率は配線遅延の絶対値に対する遅延変動の割合とし、配線遅延はドライバ入力信号の 50% 立ち下りからレシーバ出力の 50% 立ち上りまたは 50% 立ち下りまでにかかる時間とする。先のノイズ波形から、遅延の減少は容量性クロストークによるものであり、遅延の増加は誘導性クロストークによるものである。S=4W では 90nm, 65nm プロセスにおいて誘導性クロストークの影響が見られるが、S=W, S=4W 共にプロセスが進むにつれて容量性クロストークの影響が支配的となり、誘導性クロストークの影響が見られなくなる。

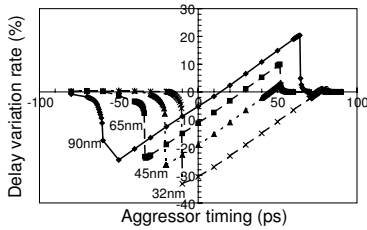


図 7: 予測シナリオ 1, 配線遅延変動率 (S=W)

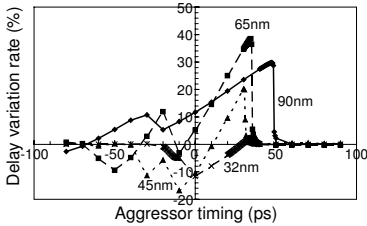


図 8: 予測シナリオ 1, 配線遅延変動率 (S=4W)

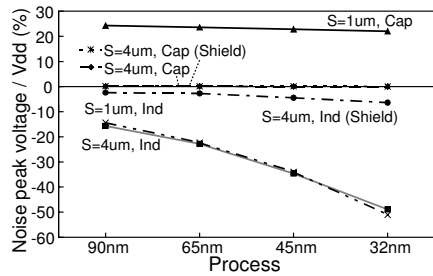


図 9: 予測シナリオ 2, ノイズピーク電圧対 V_{dd} 比

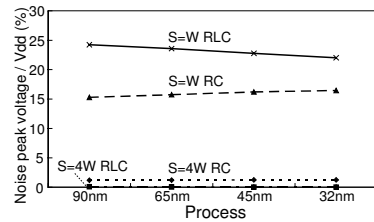


図 10: 予測シナリオ 2, 容量性ノイズピーク電圧対 V_{dd} 比

4.2 予測シナリオ 2

図 9 に予測シナリオ 2 を用いた場合の電源電圧に対するノイズ電圧ピーク値の比率の変化を示す。攻撃配線は全て同時に立上り遷移を発生させドライバは抵抗とした。配線終端は最小サイズインバータを 1X として、4X のサイズのインバータを用いた。プロセスが進むごとに誘導性クロストークのピーク値は増加し、その影響が深刻になる傾向が見られる。これはプロセスが進むごとに信号周波数が増加し、インダクタンスの影響が顕著になるためであると考えられる。一方、容量性クロストークの影響はほぼ変化が見られず、わずかに減少する傾向が見られた。

図 10 にインダクタンスを考慮しない配線モデル (RC) と考慮したモデル (RLC) における容量性クロストークのピーク値の傾向を示す。図 10 より、インダクタンスを考慮しない場合は容量性クロストークの影響は増加する。これは攻撃配線の立上り時間を変化させた場合の容量性クロストークの傾向 [9, 15] に矛盾しない。容量性クロストークのピーク値の推移は誘導性クロストークによってその影響が打ち消されたためであると考えられる。

図 11, 12 に配線遅延の絶対値に対する配線遅延変動値の割合の変化を示す。配線遅延はドライバ入力の 50% 立ち上がりからレシーバ出力の 50% 立ち上がりまでにかかる時間を用いる。ノイズピーク値の変化とは異なり、65nm 以上プロセスが進んでも遅延変動の最大値には大きな変化が見られない。

容量性、誘導性クロストークのどちらか一方の影響だけが極端に強くない限り、誘導性クロストークの影響が現れる時間は、誘導性結合によるノイズと容量性結合によるノ

イズの伝搬速度差から生じる時間差によって決まる。配線長が長くなると時間差が大きくなり、ノイズの影響の現れている時間が長くなるため、ノイズによる遅延変動は大きくなる (図 13)。また、プロセスが進むとノイズが発生するタイミングが狭くなる。図 14 に図 12 のうち誘導性クロストークの影響の現れているタイミング差 -10~20ps の範囲を拡大したものを示す。配線終端のインバータ出力が立上っている間にノイズ波形が配線終端に現れることによってノイズは配線遅延に影響を与える。プロセスが進むと MOS の性能が上がり、信号の立上り時間が短くなる。その結果、ノイズ波形と出力立上り波形が重なるタイミングが狭くなるため、ノイズの影響の現れるタイミングも狭くなる。

図 15 に、シールド配線を挿入した場合の遅延変動を示す。シールド配線の挿入によって遅延変動は配線遅延の 10% 以下に抑えられている。また、図 9 でもシールド配線を挿入した場合に誘導性クロストークによるノイズピーク値が大きく低減される傾向が見られており、誘導性クロストークの対策としてシールド配線の挿入が将来のプロセスにおいても有効であると考えられる。

5 まとめ

本論文ではオンチップグローバル配線における容量性、誘導性クロストークノイズの今後のプロセスにおける影響について評価を行った。配線スケールアップの有無を考慮した 2 種の予測シナリオに基づいて今後のプロセスにおけるパラメータを仮定し、回路シミュレーションを行ってノイズピーク値、およびノイズによる配線の遅延変動値の

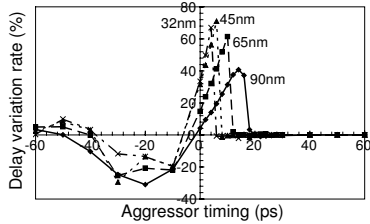


図 11: 予測シナリオ 2, 配線遅延変動率 (S=W)

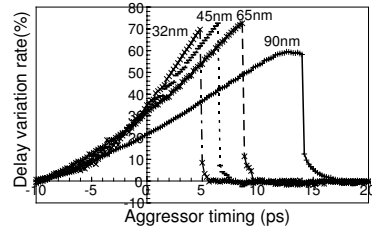


図 14: 図 12 タイミング差 -10~20ps 拡大

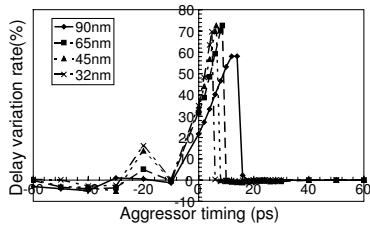


図 12: 予測シナリオ 2, 配線遅延変動率 (S=4W)

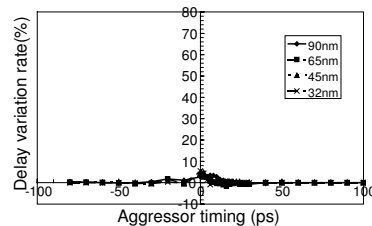


図 15: 予測シナリオ 2, 配線遅延変動率 (S=4W, シールド配線有り)

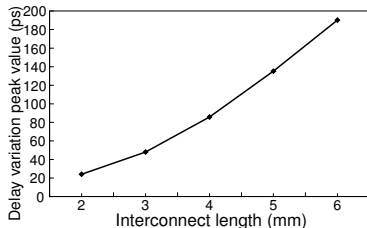


図 13: 配線長と配線遅延変動最大値

観点からクロストークノイズの影響を評価した。その結果、プロセスの進化に伴って配線がスケールアップするシナリオにおいては、容量性クロストークが支配的となり誘導性クロストークの影響は隠蔽される傾向が見られた。一方、プロセスが進化してもスケールアップしないグローバル配線層が用意されるシナリオにおいては、誘導性クロストークの影響がプロセスが進むにつれて大きくなり、容量性クロストークよりも深刻な影響をもたらす結果が得られた。また、後者のシナリオにおいて、一般的に用いられるシールド配線によるノイズ対策はプロセスが進んでも有効である結果も得られた。

謝辞

本研究の一部は NEDO (産業技術総合開発機構) の助成による。

参考文献

- [1] K. Agarwal, D. Sylvester, and D. Blaauw, "A simplified transmission-line based crosstalk noise model for on-chip RLC wiring," in *Proc. ASP-DAC*, pp. 858–864, 2004.
- [2] Y. Massoud, J. Kawa, D. Macmillan, and J. White, "Modeling and analysis of differential signaling for minimizing inductive crosstalk," in *Proc. DAC*, pp. 804–809, 2001.
- [3] D. Sylvester and K. Keutzer, "Getting to the bottom of deep submicron," in *Proc. ICCAD*, pp. 203–211, 1998.

- [4] T. Sato, D. Sylvester, Y. Cao, and C. Hu, "Accurate in-situ measurement of noise peak and delay induced by interconnect coupling," *IEEE JSSC*, Vol. 36, No. 10, pp. 1587–1591, Oct. 2001.
- [5] A. Deutsch, et. al., "Modeling and characterization of long on-chip interconnections for high-performance microprocessors," *IBM Journal of Research and Development*, vol. 39, no. 5, pp. 547–567, 1995.
- [6] Y. Ogasahara, M. Hashimoto, and T. Onoye, "Measurement and analysis of delay variation due to inductive coupling," in *Proc. CICC*, pp. 305–308, 2005.
- [7] C. Cheng, J. Lillis, S. Lin, and N. H. Chang, "Interconnect analysis and synthesis," Wiley-Interscience Publication, 2000.
- [8] 確井 有三, "ボード設計者のための分布定数回路の全て," 自費出版, 2000.
- [9] J. Cong, D. Z. Pan, and P. V. Srinivas "Improved crosstalk modeling for noise constrained interconnect optimization," in *Proc. ASP-DAC*, pp. 373–377, 2001.
- [10] International Technology Roadmap for Semiconductors, "International technology roadmap for semiconductors 2004 update process integration, devices, and structures," 2005.
- [11] International Technology Roadmap for Semiconductors, "International technology roadmap for semiconductors 2004 update interconnect," 2005.
- [12] 上村 晋一郎, 土谷 亮, 橋本 昌宜, 小野寺 秀俊, "ロードマップに準拠した SPICE トランジスタモデルの構築," 電子情報通信学会総合大会, p. A-3-17, Mar. 2006.
- [13] H. B. Bakoglu, "Circuits, interconnections, and packaging for VLSI," Addison-Wesley Publication, 1990.
- [14] Synopsys Corp., "Raphael interconnect analysis program reference manual," June 2004.
- [15] J. M. Rabaey, A. Chandrakasan, and B. Nikolic, "Digital integrated circuits a design perspective," Pearson Education, 2003.