

短距離ブロック内配線の自己発熱問題の将来予測

Future Prediction of Self-heating in Short Intra-block Wires

新開 健一[†] 橋本 昌宜[†] 尾上 孝雄[†]
Kenichi Shinkai Masanori Hashimoto Takao Onoye

[†] 大阪大学 大学院情報科学研究科

Dept. Information Systems Engineering, Osaka University

1 はじめに

近年、消費電力の増大、温度上昇によるリーク電流の増大などの影響から、チップ全体の熱解析が盛んに行われるようになった。配線についてもグローバル配線については自己発熱問題が指摘されている [1]。細かいブロック内配線で発生する熱は重要視されてこなかったが、微細化に伴う配線断面の縮小により排熱が困難に（熱抵抗が高く）なり、問題を引き起こす可能性がある。本研究では、ITRS の配線ロードマップに従いスケールアップして短距離配線でも自己発熱問題が発生することを確認した。

2 評価モデル

評価に利用したパラメータセットを表 1 に示す。ITRS 2005 ロードマップに準拠している。ロードマップには、具体的な配線間絶縁材料の記載がなかったため、実効誘電率に近い比誘電率を持つ材料とした。文献 [2] より、Porous Silica は空孔率によって比誘電率、熱伝導率が変化するため、誘電率より空孔率を換算し、熱伝導率を求めた。

実験に用いた配線モデルを図 1 に示す。基板は Si、配線には Cu を用いた。全 6 配線層のチップで、M5 層の配線を想定する。基板、配線以外の部分は絶縁材料で構成した。中央の配線をリピータが駆動する。クロック配線を想定して両側の配線はシールド配線とし、配線幅と同じ間隔を開けた。配線終端には FF を 30 個接続し、各トランジスタは文献 [3] に従いスケールしたモデルを用いた。入出力の電圧波形の立ち上がり時間はクロック周期の 1/10 程度とし、レシーバ側で立ち上がりが維持される限界の配線長 L を各プロセスで採用した。また、パッケージの側面は断熱 ($\theta = 1$ [W/m²·K]) とし、上下面は $\theta = 3000$ [W/m²·K] とした。外気温は 27 °C である。

ドライバ付近の配線には多くの電流が流れることを考慮し、熱シミュレーションを行った。チップを直方体に分割し、ノード（各直方体の中心）間に熱抵抗を接続し、発生する電力は GND からノードへ流入するものとした。

各ノードの消費電力 q_{node} [W] は以下ようになる、

$$q_{node} = 2Clk \int_0^{T/2} R_{node} I_{node}(t)^2 dt = R_{node} \overline{I_{node}^2} \quad (1)$$

ここで、 Clk はクロック周波数 [Hz]、 T はクロック周期 [s]、 R_{node} はノードにおける抵抗 [Ω]、 I_{node} はノードにおける電流 [A]、 $\overline{\quad}$ は平均値を示す。

3 評価結果

図 2 に、基板との最大温度差の推移を示す。14 nm では基板に比べて配線の温度が 29.8 °C も上昇し、無視できない問題であることがわかる。また、14 nm (2020 年) の基板との温度差分布を図 3 に示す。

4 まとめ

配線のスケールアップに従い、短いブロック内配線でも自己発熱によって基板よりも最大 29.8 °C の温度上昇が見られた。low- k 材料、特に 45 nm 以降に適用が検討されている Porous Silica では発熱による配線抵抗上昇や信頼性の低下をもたらす恐れがある。

参考文献

- [1] T. Chiang, et. al., "Compact Modeling and SPICE-Based Simulation for Electrothermal Analysis of Multilevel ULSI Interconnects," *ICCAD*, pp. 165 - 172, 2001.
- [2] B. Tsui, et. al., "Anisotropic Thermal Conductivity of Nanoporous Silica Film," *IEEE TED*, pp. 20 - 27, 2004.
- [3] 上村他, "ロードマップに準拠した SPICE トランジスタモデルの構築," 信学会総合大会, p. 81, 2006.

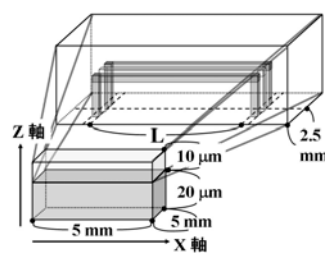


図 1 配線モデル

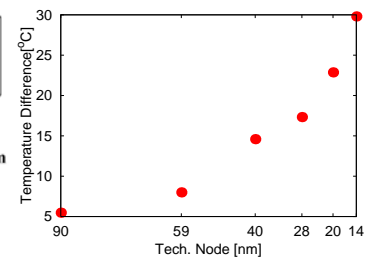


図 2 基板との最大温度差の推移

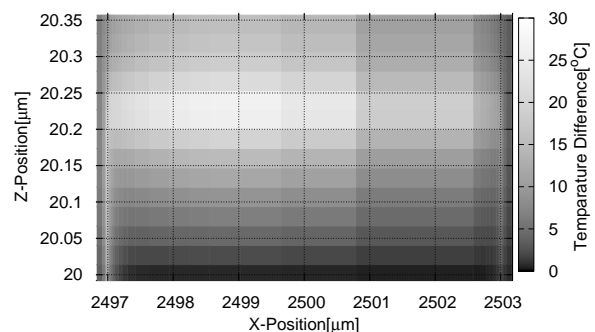


図 3 Tech. node 14 nm (2020 年) の基板との温度差分布

表 1 スケールアップパラメータ

Year	プロセス [nm]	M1 層 AR	InterAR Wire	InterAR Via	V_{dd} [V]	Clk [GHz]	L [μ m]	実効誘電率	絶縁材料	熱伝導率 [W/m·K]
2005	90	1.7	1.7	1.5	1.1	5.204	122	3.1	FSG	0.89
2008	59	1.8	1.8	1.6	1	10.972	52	2.7	SiOC	0.39
2011	40	1.8	1.8	1.6	1	17.658	26	2.5	Porous Silica	0.231
2014	28	1.9	1.9	1.7	0.9	28.356	18	2.4	Porous Silica	0.207
2017	20	2	2	1.8	0.7	45.535	9	1.9	Porous Silica	0.162
2020	14	2	2	1.8	0.7	73.122	6	1.6	Porous Silica	0.115