

宇宙線ミュオンが電子機器の誤作動を引き起こす



橋本 昌宜

Hashimoto Masanori

(大阪大学大学院情報科学研究科)

1 はじめに

今日の高度情報化社会は、大量のコンピュータや情報通信機器によって支えられており、これらに誤作動が生じた場合、甚大な被害を引き起こされるリスクがある。コンピュータや情報通信機器の中核は大規模集積回路 (VLSI; very large scale integration) であり、安心・安全の観点から VLSI の信頼性の確保が重要である。特に Society 5.0 に向けて人命や財産が情報システムに委ねられる中 (例えば自動運転や介護ロボット)、その信頼性評価・確保の重要性はますます増している。

VLSI の誤作動の原因の 1 つにソフトエラーと呼ばれる現象がある (図 1)。ソフトエラーとは VLSI が放射線 (宇宙線) に曝された際に生じる一過性の誤作動や故障であり、VLSI 内に保持されているデータが放射線により誘起された過渡電流により書き換わることで発生する。宇宙線は絶えず地上に降り注いでおり、近年の集積デバイスでは中性子がソフトエラーの主要因を占めると言われてきた。

トランジスタの微細化・低消費電力化が進むにつれ、VLSI の放射線耐性は低下しており、従来から懸念されて対策が進んでいる宇宙線中性子ばかりでなく、宇宙線ミュオンに起因するソフトエラー発生の可能性も指摘され始めた。ミュオンは透過力が高いため、電子機器内の VLSI にも到達すること、宇宙線のうち主要な成分 (荷電粒子の約 75%) はミュオンであることから、ミュオンがソフトエ

ラーを起こし始めると、ソフトエラー頻度の急激な上昇が危惧される。

これまで正ミュオン照射実験結果は数例報告されているが^{1,2)}、負ミュオンを近年の VLSI に照射した試験の報告は無かった。先行のシミュレーション研究により、負ミュオンは原子核に捕獲される

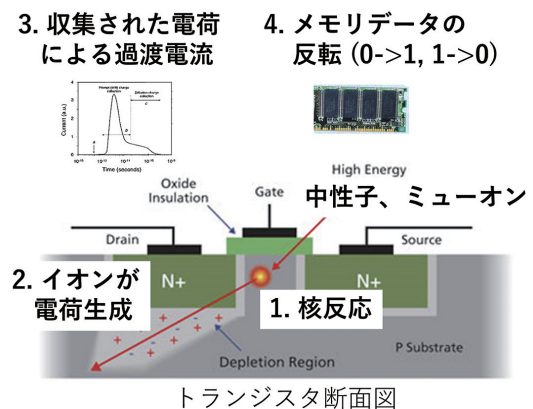


図 1 ソフトエラー

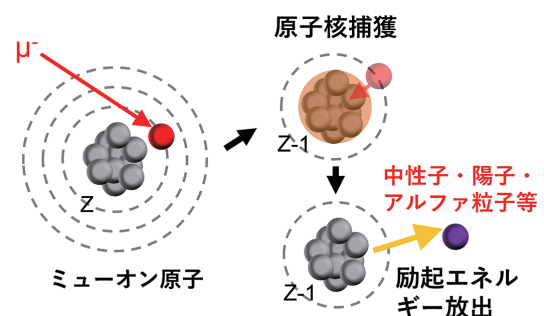


図 2 負ミュオン捕獲反応

物理過程 (図 2) により正ミューオンよりソフトエラーの影響が大きいことが予想されており³⁾, その実験的検証が強く望まれていた。

2 測定結果

本研究では, J-PARC MLF 内のミューオン実験装置 MUSE で発生可能な世界最高強度の正及び負ミューオンビームを用いて, VLSI への照射試験を実施した⁴⁾。本試験には, 65 nm バルク CMOS SRAM (Static RAM) に低エネルギーミューオン (運動量 34~44 MeV/c) を照射し, 入射運動量やデバイス印加電圧を変えて, メモリセルのビット反転発生確率を測定した。その結果, ミューオンがデバイスの有感領域内に停止する入射運動量領域で, 負ミューオンの方が正ミューオンに比べてビット反転発生率が高くなることを実験的に初めて観測した (図 3)。粒子・重イオン輸送計算コード PHITS を用いたデバイス内のミューオン挙動シミュレーション結果と比較することで, 両者の差は, 停止位置での負ミューオン (捕獲反応により発生する二次軽イオン (陽子や He) と反跳核イオンによる局所的な電荷付与が, ミューオン自身の直接電離による電荷付与に比べて十分大きいことが影響していることを明らかにした。

3 おわりに

放射線による VLSI の誤作動は確率的に稀にしか起こらないが, 世界中では膨大な数の半導体デバイスが使われており, 社会インフラを支えている電子機器内でいったん誤作動が起こると, 致命的な障害を起こす可能性がある。引き続き微細 VLSI での宇宙線ミューオンに起因するソフトエラーの発生機構を実験・シミュレーションにより更に解明し, エラー

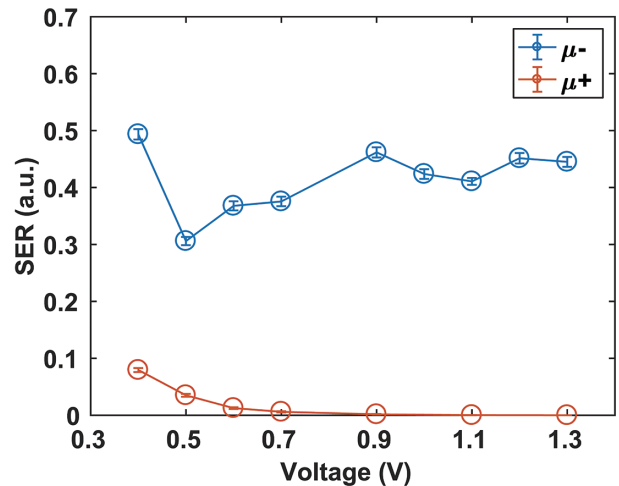


図 3 ソフトエラー率 (SER; Soft error rate)⁴⁾

率推定のための基盤技術 (国内ミューオン施設を活用した試験技術と先端シミュレーション技術) を開発していく予定である。

付記

本研究は, 科研費基盤(B)16H03906 の助成による。本実験は J-PARC MUSE 実験番号 2016B0046, 2017A0139 で実施した。

参考文献

- 1) B. D. Sierawski, *et al.*, "Muon-induced single event upsets in deep-submicron technology," *IEEE Trans. Nucl. Sci.*, **57** (6), 3273–3278 (2010)
- 2) N. Seifert, *et al.*, "Susceptibility of planar and 3D tri-gate technologies to muon-induced single event upsets," in Proc. *IRPS* (2015)
- 3) S. Serre, *et al.*, "Effects of low energy muons on electronics: Physical insights and geant4 simulation," in Proc. *RADECS* (2012)
- 4) W. Liao, *et al.*, "Measurement and Mechanism Investigation of Negative and Positive Muon-Induced Upsets in 65nm Bulk SRAMs," *IEEE Trans. Nucl. Sci.*, **65** (8), 1734–1741 (2018)