

VLSI 配線の伝送線路特性を考慮した駆動力決定手法

土谷 亮[†] 橋本 昌宜[†] 小野寺 秀俊[†]

本稿では、伝送線路特性を持つ VLSI 配線を駆動するドライバ駆動力決定手法を提案する。回路規模の増大・動作周波数の高速化により、長距離配線におけるインダクタンスの影響が重要となっている。インダクタンスの影響が強い配線では伝送線路の特性を考慮する必要がある。VLSI 配線では配線抵抗が無視できないため、抵抗による損失を考慮しなければならない。損失を考慮しなければ、信号の減衰によって十分な電圧を伝搬させることができない可能性がある。提案手法は損失を考慮して必要十分なドライバ駆動力を決定する。提案手法により、信号を電磁波の速度で伝搬できることを $0.18\ \mu\text{m}$ – $0.10\ \mu\text{m}$ プロセスでの回路シミュレーションによって確認した。

Driver Sizing for High-performance Interconnects Considering Transmission-line Effects

AKIRA TSUCHIYA,[†] MASANORI HASHIMOTO[†]
and HIDETOSHI ONODERA[†]

In this paper, we propose a method for sizing CMOS gates that drive a long fat interconnect. In VDSM technologies, inductance of a long fat interconnect is significant, and transmission-line effects have to be considered. The loss property, which is a characteristic of transmission-lines in VLSIs, is important because the propagation wave attenuates below logical threshold voltage. The proposed method resizes a driver considering the effects of lossy transmission-lines, such as reflection, attenuation. We experimentally verify that our method can realize the signal propagation at the velocity of electromagnetic wave without deteriorating waveform in $0.18\ \mu\text{m}$ – $0.10\ \mu\text{m}$ processes.

1. 序 論

近年の集積回路技術の向上により、回路動作の高速化・回路の大規模化が進んでいる。大規模で高速な回路を設計するうえで重要となってきたのが配線の性能である。長距離配線上で高速に信号伝搬を行おうとすると、従来無視できたインダクタンスの影響が顕著となる。インダクタンスの影響により伝送線路の特性が強くなると、これまでの RC 集中定数回路モデルで VLSI 配線を取り扱うことはできない。伝送線路では信号が電磁波として伝搬するため波の反射などを考慮にいれなければならない¹⁾。従来の RC モデルでは、一般的に駆動力の大きなドライバを用いることによって回路動作を高速化することができた。しかし、伝送線路では駆動力の大きなドライバを用いると線路に入射される電圧波が大きくなり、電圧波形が乱れる可能性がある。

本稿では伝送線路特性を示す高性能配線を駆動するためのドライバ駆動力決定手法を提案する。伝送線路の特性を考慮したゲート幅決定手法はこれまでも提案されている^{2)~5)}。VLSI 配線では配線の損失を考慮し、リングングなどの問題についても考慮して設計を行う必要がある。リングングが発生すると回路の動作に悪影響を及ぼすことがある²⁾。リングングを発生させないためには、損失のある伝送線路においても近端でインピーダンス整合をとればよい⁵⁾。しかし、VLSI 配線では損失の影響が大きく、伝搬する波が減衰する。したがって、近端でインピーダンス整合がとれていても、遠端に十分な電圧が到達するとは限らない。信号を次段のゲートに伝搬するためには、遠端の電圧がゲートの論理閾値を超えなければならない。遠端に電磁波が到達した時点で遠端の電圧が十分な電圧まで立ち上がれば、信号を電磁波が伝搬する速度で伝搬することができる。提案手法では、損失による減衰を補い、遠端の電圧を論理閾値まで立ち上げることができる駆動力を決定する。遠端の立ち上がりを十分な電圧とするため、提案手法ではインピーダンス整合のとれたド

[†] 京都大学情報学研究科

Graduate School of Informatics, Kyoto University

ライバよりも強いドライバを用いる．このとき，近端ではインピーダンス整合がとれていないため，電磁波の反射が発生する．本稿では近端がインピーダンス整合されていない場合に発生するオーバーシュート，アンダーシュート，リングングについて議論する．リングングなどを抑える方法を示し，実用上問題ない程度のリングングに抑えられることを示す．提案手法を用いることにより，リングングなどの問題を起こすことなく信号を電磁波の速度で伝搬することが可能となる．

2. VLSI 配線モデル

本稿で取り扱う配線のモデルについて議論する．従来 VLSI 配線は抵抗と容量による集中定数回路として取り扱われてきた．しかし，配線を通る信号の周波数が高くなるにつれてインダクタンスの影響が増大する．また，配線長が長くなることでインダクタンスの値自体も増加する．さらに，配線材料の変更などによって配線抵抗が低下すると相対的にインダクタンスの影響は大きくなる⁶⁾．したがって，高速かつ長距離の信号伝送を行うために断面積を大きくした配線を従来の RC モデルで扱うことはできない．このため，本稿では配線を図 1 のようなモデルで扱う．配線のドライバ側の端を近端 (near-end)，その反対の端を遠端 (far-end) と呼ぶ．

図 1 のモデルを用いることにより，RC モデルでは考慮できない伝送線路としての現象を取り扱うことができる．回路シミュレーションにおいて RC モデルを用いた場合と RLC モデルを用いた場合の違いの一例を図 2 に示す．RLC モデルを用いた場合には信号は電磁波として伝搬するため，反射によって電圧は階段状に変化する．また，反射によるオーバーシュート，アンダーシュート，リングングなどの現象が発生する．

図 1 に示すような配線の特性を決定するのは配線の抵抗，インダクタンス，容量である．本稿では配線の抵抗，インダクタンス，容量の値は電磁界解析によって抽出した．配線構造はたとえば図 3 のように信号配線とグラウンド配線が隣接した配線構造を用いた．配線の幅，厚さ，隣接配線との間隔，上下方向の間隔などは ITRS ロードマップ⁷⁾ の $0.18\ \mu\text{m}$ – $0.10\ \mu\text{m}$ プロセスの値，および，ある $0.13\ \mu\text{m}$ プロセスの値を用いた．前述のとおり，伝送線路特性の影響はグローバル配線のように断面積が大きい配線で顕著である．したがって，本稿では多層配線構造における最上位層の配線に関して議論する．例として， $0.13\ \mu\text{m}$ プロセスでは配線幅 $1.6\ \mu\text{m}$ ，配線厚さ $1.0\ \mu\text{m}$ である．抵抗やインダクタンスの値は周波数に依存するため抽出に際して周

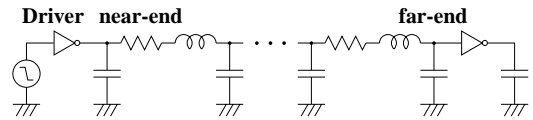


図 1 VLSI 配線の RLC モデル
Fig. 1 RLC-model of VLSI interconnects.

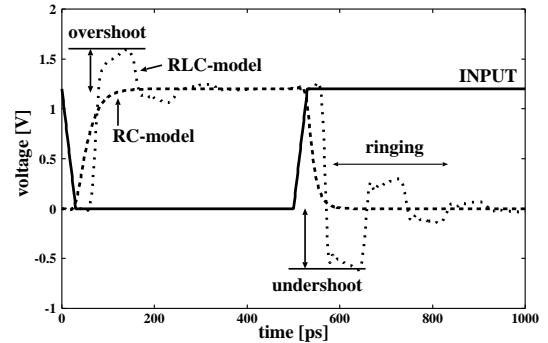


図 2 RC モデルと RLC モデルでの電圧波形の比較 ($0.13\ \mu\text{m}$ プロセス，特性インピーダンス $114\ \Omega$ ，配線長 $5\ \text{mm}$ ，pMOS・nMOS $W/L = 716.8$)

Fig. 2 Waveform difference between RC-model and RLC-model ($0.13\ \mu\text{m}$ process, characteristic impedance $114\ \Omega$, wire length $5\ \text{mm}$, pMOS and nMOS $W/L = 716.8$).

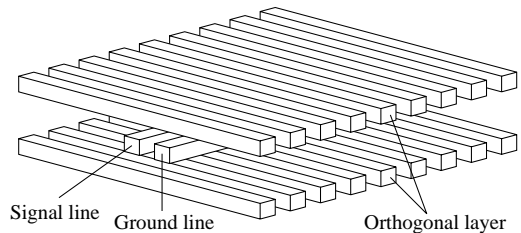


図 3 R, L, C 抽出用配線構造
Fig. 3 Interconnect structure for R, L and C extraction.

波数を決定する必要がある．文献 6) より，台形パルスに含まれる周波数成分を実効周波数 $f_{\text{sig}} = 0.34/t_r$ で代表させた． t_r は入力パルスの立ち上がり時間である．立ち上がり時間は $0.13\ \mu\text{m}$ プロセスにおけるファンインおよびファンアウト 1 のリングオシレータでの波形の立ち上がり時間を回路シミュレーションによって測定し， $t_r = 30\ \text{ps}$ とした．そのときの実効周波数は $11\ \text{GHz}$ である．また，本稿の回路シミュレーションでは MOS のパラメータとして ITRS に準拠したパラメータ⁸⁾を用いた．文献 8) のモデルは電流電圧特性が ITRS の値と一致するように作成されたものである．

3. 伝送線路の駆動力決定手法

本章ではドライバ等価抵抗を定義し、有損失線路におけるドライバ駆動力決定手法を述べる。簡単のため、まず無損失線路における等価抵抗を用いたドライバ駆動力決定手法を説明する。その後、実際の VLSI 配線の性質である有損失線路について議論する。損失による減衰を考慮したうえで、電磁波が遠端に到達した時点で遠端電圧を十分な電圧まで立ち上げるための駆動力決定手法を提案する。

3.1 伝送線路の基本特性

本節では以降の議論のため伝送線路の基本的な特性について説明する。伝送線路の特性を表す重要なパラメータが特性インピーダンス Z_0 である。無損失線路の特性インピーダンスは、配線のインダクタンス L と容量 C を用いて $Z_0 = \sqrt{L/C}$ で表される。図 4 に示すようにドライバが等価的にインピーダンス R で表されるとする。ドライバに大きさ V_{dd} の信号が入力されたとき、線路の近端に入力される電圧 V は信号の大きさ V_{dd} がドライバの抵抗 R と線路の特性インピーダンス Z_0 で分圧され

$$V = \frac{Z_0}{Z_0 + R} V_{dd}, \quad (1)$$

で表される⁹⁾。 V は線路へ入射される電圧の大きさを表している。したがって、ドライバ駆動力を変化させ R を調整することで入射電圧を制御することができる。図 4 の遠端における電磁波の反射は特性インピーダンス Z_0 と負荷のインピーダンス Z_L によって決まる。遠端で反射する電圧 V_r は遠端に入射した電圧 V_i を用いて

$$V_r = \frac{Z_L - Z_0}{Z_L + Z_0} V_i, \quad (2)$$

で表される。 Z_0 と Z_L が等しい状態がインピーダンス整合であり、このとき反射波は 0 となる。また、近端でインピーダンス整合をとった場合 $R = Z_0$ となり、線路に入射される電圧は $V_{dd}/2$ となる。

CMOS 回路では、 Z_L はトランジスタのゲート容量となる。CMOS のゲート容量は小さいため、遠端は開放端と見なすことができる。開放端では $Z_L = \infty$

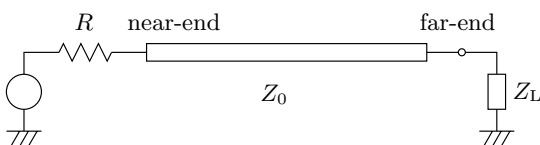


図 4 伝送線路のモデル

Fig. 4 The model of transmission-line.

であり、反射波 V_r は入射した電圧波 V_i に等しい。つまり、遠端開放の線路においては遠端の立ち上がり電圧は遠端に入射した電圧の 2 倍となる。たとえば遠端に $V_{dd}/2$ の電圧が入射された場合、入射波 $V_{dd}/2$ と反射波 $V_{dd}/2$ の和 V_{dd} が遠端の立ち上がり電圧となる。以降の議論では負荷 Z_L として CMOS インバータ ($W/L = 11.2$) を用いる。負荷となるインバータのゲート容量は約 5 fF であり、開放端と見なすことができる。

3.2 ドライバ等価抵抗モデル

非線型の CMOS ゲートを線形抵抗に置き換えて評価する手法は広く用いられており、等価抵抗のモデルはいくつか提案されている。ドライバの出力抵抗を評価する方法の 1 つとして、容量負荷への充放電時間と時定数 RC が等しくなるように抵抗値を求める方法がある¹⁰⁾。この方法で求めた等価抵抗は従来の RC 遅延の評価などには有効である。しかし、電圧の変化が指数関数的に $0-V_{dd}$ の間に変化することを仮定しているため、電圧の変化が階段状になる伝送線路の特性インピーダンスと比較する必要がある本手法では不適切である。例として、ドライバの等価抵抗を文献 10) の方法で求めることとし、その値が線路の特性インピーダンスと等しくなるようドライバのゲート幅を調整した回路における近端と遠端での電圧波形を図 5 に示す。用いた配線は特性インピーダンス 83.8Ω 、配線長 5 mm の無損失伝送線路とし、立ち上がり・立ち下がりともにドライバの等価抵抗と線路の特性インピーダンスが等しくなるようにドライバのゲート幅を調整した。インピーダンス整合がとれていれば、線路に入射

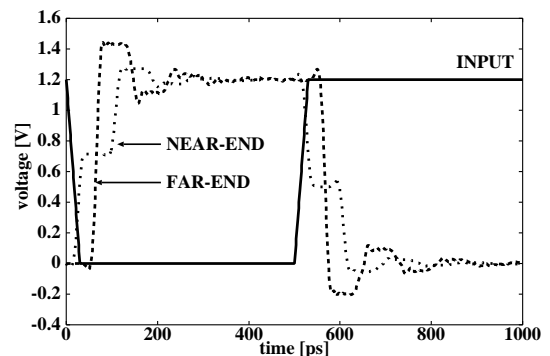


図 5 文献 10) によるドライバ等価抵抗によってゲート幅を調整した場合の電圧波形 ($0.13 \mu\text{m}$ プロセス、特性インピーダンス 83.8Ω 、配線長 5 mm、pMOS $W/L = 442.4$ 、nMOS $W/L = 158.2$)

Fig. 5 Result of impedance matching based on the driver modeling of Ref. 10) ($0.13 \mu\text{m}$ process, characteristic impedance 83.8Ω , wire length 5 mm, pMOS $W/L = 442.4$, nMOS $W/L = 158.2$).

する電圧は $V_{dd}/2 = 0.6 \text{ V}$ であるはずである。しかし、図 5 における近端電圧は立ち上がり時に 0 V から 0.7 V に、立ち下がり時に 1.2 V から 0.5 V に変化している。したがって、線路に入射する電圧は 0.7 V である。この結果遠端電圧の立ち上がりは 1.4 V となっており、インピーダンス整合時の 1.2 V よりも大きくなっている。この手法では等価抵抗を大きく見積もりすぎており、インピーダンス整合を正確にとることはできない。

提案手法では CMOS の等価抵抗をドレイン電圧とドレイン電流から求める。ゲート-ソース間電圧を V_{dd} としたときのドレイン電流 I_d とドレイン電圧 V_d を用いて、基準となるゲート幅 w_0 のトランジスタの等価抵抗 R_{eq0} を

$$R_{eq0}(V_d) = \frac{V_d}{I_d}, \quad (3)$$

で定義する。 I_d は V_d の関数であるから、 R_{eq0} は V_d の関数である。ここで、トランジスタのゲート幅が w_s 倍された場合は電流特性も w_s 倍されると仮定する。この仮定は狭チャネル効果などの影響がない領域、つまり (チャネル幅 W)/(チャネル長 L) が十分大きい領域で妥当である。本手法が対象とする線路は主に上位配線であり、駆動には比較的駆動力の大きなドライバが用いられる。したがって W/L は十分に大きいと仮定できる。ゲート幅が $w_s \times w_0$ のトランジスタの等価抵抗 R_{eq} は

$$R_{eq} = \frac{R_{eq0}}{w_s}, \quad (4)$$

で表すことができる。この抵抗をゲートの等価抵抗として用いる。この手法を用いることにより、ゲート幅 w_0 での評価 R_{eq0} から、ゲート幅が異なるトランジスタの等価抵抗を評価することができる。

3.3 無損失線路におけるドライバ駆動力決定手法

無損失線路においては、インピーダンス整合をとることでリングングなどを発生させることなく信号伝送が可能となる²⁾。近端でインピーダンス整合がとられた場合、近端に入射する電圧は $V_{dd}/2$ である。電磁波は減衰することなく遠端に到達し、遠端の立ち上がりは V_{dd} となる。また、遠端から反射波が近端に到達しても近端では反射は発生しない。本節では、前節で提案した等価抵抗モデルを用いてインピーダンス整合をとる方法を説明する。

この等価抵抗の値はソース-ドレイン間電圧 V_d によって異なるため、まず V_d を決定しなければならない。線路の特性インピーダンスを Z_0 とし、ゲート幅 $w_s \times w_0$ のドライバへの入力電圧 V_{dd} から 0 V

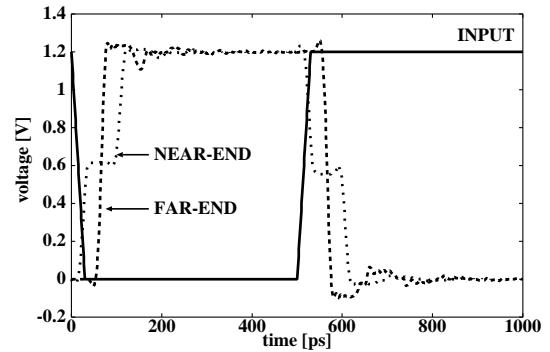


図 6 式 (6) によってゲート幅を調整した場合の電圧波形 ($0.13 \mu\text{m}$ プロセス, 特性インピーダンス 83.8Ω , 配線長 5 mm , pMOS $W/L = 345.4$, nMOS $W/L = 142.5$)

Fig. 6 Result of impedance matching by Eq. (6) ($0.13 \mu\text{m}$ process, characteristic impedance 83.8Ω , wire length 5 mm , pMOS $W/L = 345.4$, nMOS $W/L = 142.5$).

に立ち下がった場合について考える。このときドライバ内では pMOS が動作し、ドライバの出力は 0 V から V_{dd} 立ち上がりとうとする。その結果、ドライバの出力が V_{near} まで立ち上がったとすると nMOS のソース-ドレイン間にかかる電圧 V_d は V_{near} である。一方、ドライバを抵抗と考えた場合、ドライバへの入力は等価抵抗と特性インピーダンスで分圧される。よって、 V_{near} と V_{dd} の間には

$$V_{near} = \frac{Z_0}{R_{eq0}/w_s + Z_0} V_{dd}, \quad (5)$$

が成り立つ。これを w_s について解くと

$$w_s = \frac{V_{near} R_{eq0}}{(V_{dd} - V_{near}) Z_0}, \quad (6)$$

を得る。つまり、伝送線路近端に入射したい電圧 V_{near} を決めればドライバのゲート幅を決めることができる。たとえば 3.1 節で述べたように、インピーダンス整合がとれている状態では $V_{near} = V_{dd}/2$ である。したがって、近端をインピーダンス整合させるためのゲート幅は $V_{near} = V_{dd}/2$ とすることで求められる。提案手法では基準となる電流電圧特性を 1 度求めるだけで異なるゲート幅のドライバの等価抵抗を容易に求めることができる。この方法で図 5 と同様の配線に対してインピーダンス整合をとった結果を図 6 に示す。図 6 より近端に入射する電圧の大きさは約 0.6 V であり、提案手法では図 5 と比較して高い精度でインピーダンス整合がとれている。

3.4 損失のある線路への適用

前節の議論より、伝送線路をドライバで駆動する場合、線路に V_{near} の電圧を入射させるためにはドライバのゲート幅を式 (6) より決定すればよい。本節では、

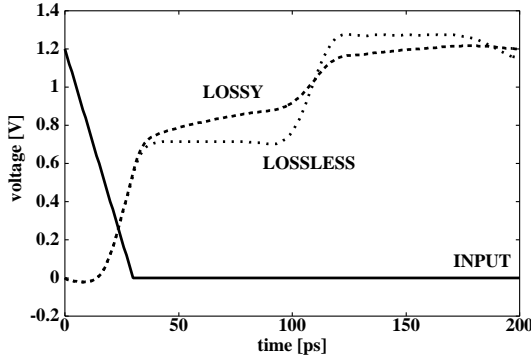


図 7 無損失線路と有損失線路における入力応答の違い
Fig. 7 Input response on lossy and lossless transmission-line.

この手法を損失のある伝送線路に対して適用する．配線が損失を含む場合、伝搬する信号は損失によって減衰する．したがって、この損失を補う分だけ高い電圧を近端に入射する必要がある．信号伝搬を行うには、遠端の電圧が論理閾値を超えればよい．損失の影響が強くなると、図 7 に示すように電磁波の入射後も電圧が緩やかに変化し続ける．そのため、遠端での立ち上がり電圧は V_{dd} よりも低く設定する方がよい．遠端の立ち上がり電圧を $r \times V_{dd}$ ($0 < r \leq 1$) とする．パラメータ r の適切な決定方法については後の 4 章で述べる．

有損失線路において次段入力立ち上がりを $r \times V_{dd}$ にするには、配線を伝搬する間に減衰した結果 $rV_{dd}/2$ になるように入射電圧を調整すればよい．電磁波は減衰定数 α に従い指数関数的に減衰する．この減衰定数 α は文献 9) より

$$\alpha = \sqrt{\frac{1}{2} \left(\sqrt{(R^2 + \omega^2 L^2) \omega^2 C^2} - \omega^2 LC \right)}, \quad (7)$$

で与えられる． α を用いると伝送線路の入射電圧 V_{near} と次段入力まで伝搬する電圧 V_{far} は

$$V_{far} = V_{near} e^{-\alpha l}, \quad (8)$$

の関係にある．したがって、遠端に到達する電圧を $V_{far} = rV_{dd}/2$ とするためには V_{near} は

$$V_{near} = \frac{rV_{dd}}{2e^{-\alpha l}}, \quad (9)$$

であればよい．式 (6) と式 (9) より V_{near} を消去すると、損失のある配線を駆動するために必要な駆動力は

$$w_s = \frac{rR_{eq0}}{(2e^{-\alpha l} - r)Z_0}, \quad (10)$$

で与えられる．式 (10) を用い、遠端を rV_{dd} まで立

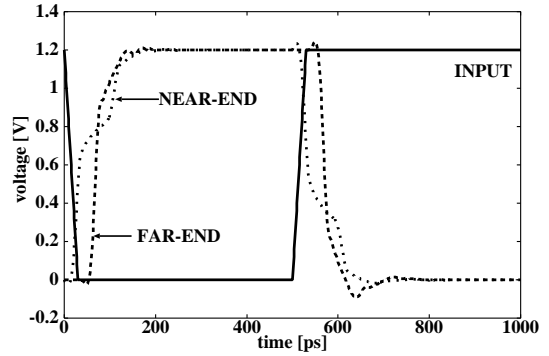


図 8 提案手法の有損失線路への適用結果(0.13 μm プロセス, 特性インピーダンス 86.2Ω , 配線長 5 mm, pMOS $W/L = 369.3$, nMOS $W/L = 149.7$)

Fig. 8 Result of gate sizing for a lossy transmission-line (0.13 μm process, characteristic impedance 86.2Ω , wire length 5 mm, pMOS $W/L = 369.3$, nMOS $W/L = 149.7$).

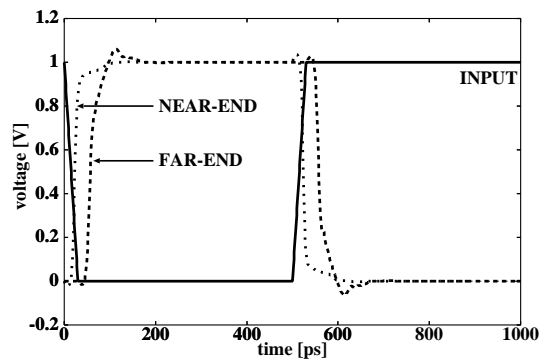


図 9 0.10 μm プロセスにおける提案手法適用結果(0.10 μm プロセス, 特性インピーダンス 76.5Ω , 配線長 5 mm, pMOS $W/L = 919.2$, nMOS $W/L = 421.5$)

Fig. 9 Result of gate sizing for a lossy transmission-line in 0.10 μm process (0.10 μm process, characteristic impedance 76.5Ω , wire length 5 mm, pMOS $W/L = 919.2$, nMOS $W/L = 421.5$).

ち上げるための駆動力を決定することができる．

提案手法によるドライバ駆動力調整の例を示す．ここでは、一例として次段ゲートに信号を伝達するのに必要な遠端の電圧を V_{dd} の 70% ($r = 0.7$) に設定したとする． V_{dd} の 70% という値は次段の論理閾値に余裕を加えた値である．この場合、遠端に入射する電圧 V_{far} は V_{dd} の 35% となればよい．以上の条件でドライバ駆動力を決定した．結果の電圧波形を図 8 に示す．また、0.10 μm プロセスにおける結果を図 9 に示す．図より、遠端電圧は 1 回目の立ち上がりで電源電圧の 70% を超えており、電磁波が近端に入射してから遠端に到達するまでの時間で信号を次段のゲートに伝

達できる．すなわち，信号を電磁波の速度で伝搬することができる．また，他の $0.18\ \mu\text{m}$ から $0.10\ \mu\text{m}$ のプロセスにおいても同様の結果が得られた．

4. 波形乱れの低減

提案手法では損失による信号の減衰を補うため，近端でインピーダンス整合を正確にはとらない．近端でインピーダンス整合がとれていない場合，信号は線路両端で反射を繰り返しながら小さくなる．その際，反射する波が大きければオーバーシュート，アンダーシュート，リングングなどを発生する可能性がある．以上のような問題を発生させることなく，かつ十分な大きさの電圧を遠端に到達させるためには遠端の立ち上がり電圧 rV_{dd} を適切な値に設定する必要がある．リングングなどを発生させない条件は近端でインピーダンス整合をとることである⁵⁾．しかし，インピーダンス整合のとれたドライバ駆動力では減衰によって遠端立ち上がり電圧が小さくなるおそれがある．本章では，3.4 節で導入した r に対するオーバーシュート，アンダーシュート，リングングなどの大きさを解析的に導出し， r を適切に決定する方法について説明する．

4.1 減衰による立ち上がり電圧への制約

3.4 節で説明したとおり，遠端を rV_{dd} まで立ち上げるためには近端に式 (9) で表される電圧を入射しなければならない．しかし，近端に電源電圧 V_{dd} を超える電圧を入射することは不可能である．つまり， $V_{\text{near}} < V_{\text{dd}}$ であるから，式 (9) より

$$r < 2e^{-\alpha l}, \quad (11)$$

でなければならない．式 (11) は減衰がある場合の遠端立ち上がり電圧の最大値を規定する．以降，前提条件として式 (11) の満たされる領域で議論を行う．式 (11) の条件を満たさない場合はリピータの挿入などによって配線長を短くする必要がある．

4.2 近端における反射波の低減

リングングの発生原因の 1 つが近端での反射である．近端での反射が大きいと電磁波が線路両端で反射を繰り返し，リングングを引き起こす可能性がある．立ち上がり・立ち下がり後に線路上に残る電磁波の振幅が十分に小さくなる条件を求める．線路上を伝搬する電磁波は線路両端での反射と線路の損失による減衰によって次第に 0 に近づく．反射による電圧の変化は減衰項 $n = e^{-\alpha l}$ と反射係数 Γ によって表される．遠端は開放終端であるから，入射した電磁波の電圧はそのままの大きさで反射する．一方近端にはドライバが接続されているから，入射電圧 V に対して反射す

る電圧は ΓV である．ここで Γ は反射係数と呼ばれ， $\Gamma = (R_{\text{eq}} - Z_0)/(R_{\text{eq}} + Z_0)$ で表される．また，電磁波が線路を伝搬する過程で電磁波の大きさは $e^{-\alpha l}$ 倍に減衰する (式 (8))．

電磁波が入射されて最初に遠端に到達して起こる反射を遠端での 1 回目の反射，遠端で反射した電磁波が最初に近端に到達して発生する反射を近端での 1 回目の反射とする．以上より， i 回目の反射の際に近端で反射する電圧，遠端で反射する電圧を電源電圧で正規化したものをそれぞれ $V_{\text{near}}^{(i)}$ ， $V_{\text{far}}^{(i)}$ とすると，

$$\begin{cases} V_{\text{near}}^{(i)} = n^{2i-1}\Gamma^i r/2 \\ V_{\text{far}}^{(i)} = n^{2(i-1)}\Gamma^{i-1}r/2 \end{cases}, \quad (12)$$

である．ただし， $n = e^{-\alpha l}$ である．近端電圧の変化によってドライバ等価抵抗が変化すれば反射係数 Γ も変化するが，ここでは

$$\Gamma = \frac{R_{\text{eq}} - Z_0}{R_{\text{eq}} + Z_0}, \quad (13)$$

で一定であると仮定する．ここで，式 (5) と式 (9) より

$$\frac{Z_0}{R_{\text{eq}} + Z_0} n = \frac{r}{2}, \quad (14)$$

が成り立つ．すると式 (13) と式 (14) より Γ は

$$\Gamma = 1 - 2\frac{Z_0}{R_{\text{eq}} + Z_0} = 1 - 2\frac{r}{2n} = 1 - \frac{r}{n}, \quad (15)$$

と変形できる．式 (15) より明らかなように， $r = n$ のとき近端がインピーダンス整合となり，反射が 0 となる． $V_{\text{near}}^{(i)}$ ， $V_{\text{far}}^{(i)}$ は i ， n ， r を用いて

$$\begin{cases} V_{\text{near}}^{(i)} = n^{2i-1}(1 - r/n)^i r/2 \\ V_{\text{far}}^{(i)} = n^{2(i-1)}(1 - r/n)^{i-1} r/2 \end{cases}, \quad (16)$$

と表される．

n と r を変化させて $V_{\text{near}}^{(1)}$ の変化を評価した． $V_{\text{near}}^{(1)}$ は入射後遠端で反射して戻ってきた電磁波が近端で反射した際の電圧の大きさである．この $V_{\text{near}}^{(1)}$ が十分小さければリングングなどの問題は発生しない．信号を伝搬するには少なくとも次段の入力は電源電圧の 50%まで立ち上げる必要がある．したがって，電源電圧で正規化した遠端立ち上がり電圧 r は $0.5 < r \leq 1$ の範囲を考える． r を変化させた場合の n に対する反射電圧 $V_{\text{near}}^{(1)}$ の大きさを図 10 に示す．図 10 において $V_{\text{near}}^{(1)}$ が 0 であれば反射波が発生しない． $V_{\text{near}}^{(1)}$ の値が正であれば，正の電圧を持つ反射波が発生し，負であれば負の電圧を持つ反射波が発生する．反射電圧の大きさは $V_{\text{near}}^{(1)}$ の絶対値であるから，反射電圧の大きさは $r = 0.5$ ， $n = 1$ のとき最大となり，電源電圧の 25%である．しかし， r を n に合わせて調整す

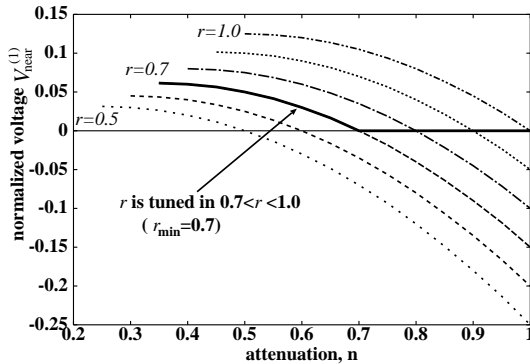


図 10 近端における反射波の大きさ (電源電圧で正規化, $i = 1$)
Fig. 10 Normalized voltage magnitude of the wave which reflects at near-end (normalized by the supply voltage, $i = 1$).

ことで反射波の大きさは低減可能である。配線構造と配線長が決定すると、減衰 n は変化させることができない。これに対して、遠端の立ち上がり電圧 r は変更可能である。式 (15) および図 10 から、 $r = n$ とすれば近端整合によって反射波は 0 となる。設計の制約上 r を n よりも大きくしなければならない場合でも、 r を n に近い値に設定することで近端での反射を小さくすることができる。例として、許された r の最小値 $r_{\min} = 0.7$ とした場合の n と反射波の大きさの関係を図 10 に実線で示す。 $n \geq r_{\min}$ であれば $r = n$ とすることで反射波は 0 となる。また、 $n < r_{\min}$ においても $r = r_{\min}$ とすることで反射波を最小に抑えることができる。以上より、 r を調整することによって近端での反射波の大きさは電源電圧の約 10% 以下に抑えることができる。

4.3 抵抗成分による電圧変動の影響

前節での議論より、 r を n に従って調整することで近端での反射波を低減することができる。しかし、図 7 でも述べたとおり損失のある線路では特性インピーダンスの周波数依存性によって電圧が緩やかに変化し続ける。よって、立ち上がり電圧が電源電圧に近い場合にはこの効果によって遠端電圧が電源電圧を超える可能性がある。本節では、この電圧の変化によって遠端電圧が電源電圧を超過しないための条件について議論する。

損失のある伝送線路の特性インピーダンスは線路の抵抗 R 、コンダクタンス G 、インダクタンス L 、容量 C を用いて以下の式で表される⁹⁾。

$$Z_0 = \sqrt{\frac{R + j\omega L}{G + j\omega C}}. \quad (17)$$

VLSI 配線ではコンダクタンス G は 0 とおける。こ

のとき特性インピーダンスは周波数が低いほど高くなり、 $\omega = 0$ において $Z_0 \rightarrow \infty$ となる。このため、信号の周波数成分の変化によって近端に入射される電圧が変化する。時刻 $t = 0$ に線路近端に信号が入射されたとして、入射された信号が遠端で反射して戻ってくる $t = 2l/v$ までの電圧の変化を解析的に求める。ただし l は線路長、 v は電磁波の速度である。 R, L, C からなる線路のステップ応答は、ステップの大きさを V_{dd} とすると

$$V_{\text{near}} = V_{\text{dd}} \left[\frac{Z_0}{R_{\text{eq}} + Z_0} + \frac{R_{\text{eq}}}{R_{\text{eq}} + Z_0} \times \left\{ 1 - \exp\left(-\frac{Z_0}{R_{\text{eq}} + Z_0} \frac{R}{2L} t\right) \right\} \right], \quad (18)$$

で表される¹¹⁾。式 (18) は 2 つの成分の和である。第 1 項の $Z_0/(R_{\text{eq}} + Z_0)$ が無損失線路における立ち上がり電圧に等しく、第 2 項が損失によって変化する電圧である。

遠端の電圧は減衰を考慮しなければならないため厳密な解析式を求めるのは困難である。よって、近似的に解析式を求める。式 (7) より、減衰定数 α も周波数に依存し、周波数が低くなるほど 0 に近づく。式 (18) の第 1 項に対して第 2 項は時間に対して電圧が緩やかに変化する。したがって、式 (18) の第 2 項は含まれる周波数成分が低い。このため、第 1 項と第 2 項では減衰の様子が異なる。第 2 項に対する減衰定数が 0 に近似可能であるとする、遠端での電圧は電磁波が遠端に到達する $t = l/v$ から遠端で反射した波が近端で反射して戻ってくる $t = 3l/v$ の間において

$$V_{\text{far}} \simeq 2V_{\text{dd}} \left[\frac{Z_0}{R_{\text{eq}} + Z_0} e^{-\alpha l} + \frac{R_{\text{eq}}}{R_{\text{eq}} + Z_0} \times \left\{ 1 - \exp\left(-\frac{Z_0}{R_{\text{eq}} + Z_0} \frac{R}{2L} \left(t - \frac{l}{v}\right)\right) \right\} \right], \quad (19)$$

となる。式 (18) および式 (19) による近端・遠端の電圧波形の解析と回路シミュレーションの比較を行った。回路シミュレーションではドライバへの入力はステップ入力ではなく、遷移時間 30 ps の台形パルスである。比較にあたって、式 (18) および式 (19) による解析においてステップ入力が入力される時刻は、回路シミュレーションにおける入力が入力され終わった時刻 (30 ps) とした。式 (18) および式 (19) による解析結果と回路シミュレーションの比較を図 11 に示す。図 11 では近端の結果は入力に加わってから電磁波が遠端で反射して戻ってくるまで、遠端の結果は電磁波が遠端に到達してから反射波が近端で反射して戻ってくるまでを示している。図 11 より式 (18) および式 (19) による

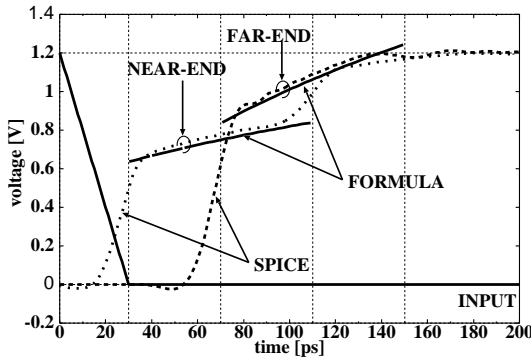


図 11 有損失線路における式 (18) による波形解析と回路シミュレーションの比較 (0.13 μm プロセス, 特性インピーダンス 86.2 Ω, 配線長 5 mm, pMOS W/L = 369.3, nMOS W/L = 149.7)

Fig. 11 Waveform comparison between Eq. (18) and circuit simulation result on lossy transmission-line (0.13 μm process, characteristic impedance 86.2 Ω, wire length 5 mm, pMOS W/L = 369.3, nMOS W/L = 149.7).

解析結果は妥当である。

ドライバへ与えられる入力信号が変化する時間間隔は電磁波が線路を往復する時間よりも長いとする。式 (19) を変形し, n と r で表すことを考える。式 (19) 第 2 項による電圧の変化は時間とともに単調増加する。したがって, 遠端において第 2 項による電圧の変化は次に電磁波が遠端に入射されるまで増大し続ける。第 2 項による電圧の変化が遠端で最大となる時刻 t_{max} は

$$t_{max} = \frac{3l}{v}. \tag{20}$$

である。以上より, 4.2 節と同様にして R_{eq} , Z_0 を r , n で書き換えると, 時刻 t_{max} において式 (19) は

$$V_{far} = 2V_{dd} \left[\frac{r}{2n} e^{-\alpha l} + \left(1 - \frac{r}{2n} \right) \times \left\{ 1 - \exp \left(-\frac{r}{2n} \frac{R}{2L} \frac{2l}{v} \right) \right\} \right], \tag{21}$$

と変形できる。ここで, 電磁波の速度は $v = 1/\sqrt{LC}$ で表される⁹⁾。したがって第 2 項の指数部分は

$$-\frac{r}{2n} \frac{R}{2L} \frac{2l}{v} = -\frac{r}{n} \frac{R}{2\sqrt{L/C}} l, \tag{22}$$

となる。ここで, $Z_0 \approx \sqrt{L/C}$ と近似できるとする。 $\exp(-Rl/2Z_0) = \exp(-\alpha l) = n$ であるから, 式 (21) は r と n によって

$$V_{far} = 2V_{dd} \left\{ \frac{r}{2} + \left(1 - \frac{r}{2n} \right) (1 - n^{r/n}) \right\}, \tag{23}$$

と表される。よって, 時刻 t_{max} における遠端の電圧

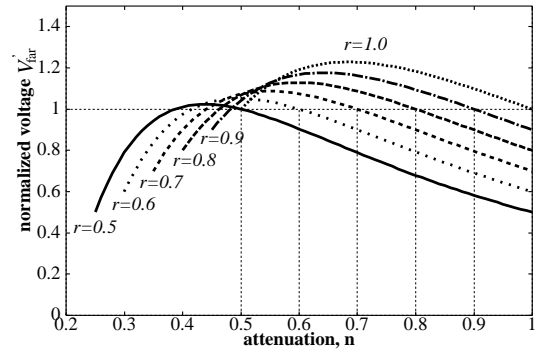


図 12 遠端における変動後の電圧 V'_{far} の大きさ (電源電圧で正規化)

Fig. 12 Voltage at the far-end after the voltage shift (normalized by the supply voltage).

V'_{far} は式 (19) より電源電圧で正規化して

$$V'_{far} = \left\{ r + \left(2 - \frac{r}{n} \right) (1 - n^{r/n}) \right\}, \tag{24}$$

である。 n に対する V'_{far} を図 12 に示す。式 (24) および図 12 より明らかなように, $r = n$ のとき $V_{far} = 1$ である。つまり, $r = n$ のとき t_{max} 後の遠端電圧 $V'_{far} = V_{dd}$ となる。また, $r = n$ のとき近端整合であるから近端からの反射波はなく, 遠端電圧は電源電圧に落ち着く。したがって, 電圧の変動を考慮した場合, r の最適値は $r = n$ である。図 12 より $r > n$ のとき, t_{max} 後の遠端電圧 V'_{far} が電源電圧よりも高くなることがある。この電圧超過の大きさは $r = 1.0$ のとき最大で電源電圧の 23% である。しかしながら, たとえば $r = 0.8$ と設定することにより最大でも 12.9% に抑えることができる。 $r \leq 0.7$ とすれば 10% 以下となる。

4.4 提案手法とインピーダンス整合の比較

オーバーシュートやリングングの問題を起こさないためには, 遠端の立ち上がり r は $r = n$ とすればよい。つまり, 近端でインピーダンス整合をとればよい。しかし, 4.2 節および 4.3 節での議論より, 近端でのインピーダンス整合を正確にとらなくても r を適切に設定すればオーバーシュートやリングングの電圧波形への影響は小さい。近端でのインピーダンス整合をとらない方がよい例として, 次段ゲートの論理閾値が電源電圧 V_{dd} の 70% である場合を考える。配線長を 10 mm としたときに近端でインピーダンス整合をとった場合と $r = 0.7$ としてドライバ駆動力を決定した場合の波形を図 13 に示す。ドライバへの入力が増移し始めてから次段ドライバの入力が V_{dd} の 70% 変化するまでの時間を比較する。立ち上がりでは提案手法が 116 ps, インピーダンス整合では 179 ps, 立ち下がりでは提案手法が 118 ps, インピーダンス整

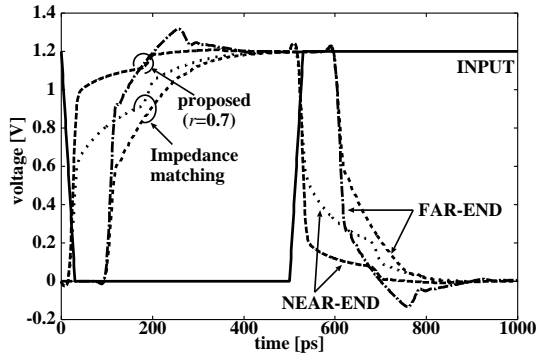


図 13 提案手法とインピーダンス整合による駆動力決定の比較 (0.13 μm プロセス, 特性インピーダンス 86.2 Ω , 配線長 10 mm)

Fig. 13 Comparison between the proposed method and the driver sizing by impedance matching (0.13 μm process, characteristic impedance 86.2 Ω , wire length 10 mm).

合では 162 ps である。また, 提案手法を用いた場合のオーバーシュート, アンダーシュートは電源電圧の約 10% である。以上のように, インピーダンス整合による駆動力決定手法では特に配線の損失が大きい場合に遅延時間が増大する可能性がある。提案手法では遠端の立ち上がりからドライバ駆動力を決定するため, 確実に信号を電磁波の速度で伝搬することができる。

5. 結 論

本稿では伝送線路の特性を持つ信号配線を駆動するために必要十分なドライバ駆動力の決定方法を提案した。提案手法は電流電圧特性からドライバ等価抵抗を求めることにより高い精度で配線に入射する電圧を設定することができる。提案手法では遠端の立ち上がり電圧を設定するため, インピーダンス整合のとれたドライバよりも強いドライバを用いる。近端でインピーダンス整合がとれていない場合でも, 適切に遠端立ち上がり電圧を設定することによりリングングなどの問題を抑えることができることを示した。遠端電圧の立ち上がりを必要十分な電圧に設定することで, 次段のゲートに信号を電磁波の速度で伝搬することが可能である。したがって, 提案手法を用いることによりリングングなどの波形の乱れを起こすことなく信号を電磁波の速度で伝搬できる。回路シミュレーションにより提案手法が 0.18 μm –0.10 μm プロセスまで有効であることを確認した。

参 考 文 献

- 1) 大塚寛治: SOC vs SOP—高速配線のあり方, DA シンポジウム論文集, pp.1–6 (2001).
- 2) Bakoglu, H.B.: *Circuits, Interconnections, and Packaging for VLSI*, Addison-Wesley Publishing Company, Inc. (1990).
- 3) Cappuccino, G. and Cocorullo, G.: CMOS Sizing Rule for High Performance Long Interconnects, *Proc. DATE2001*, p.817 (2001).
- 4) Ismail, Y.I. and Friedman, E.G.: Effects of Inductance on the Propagation Delay and Repeater Insertion in VLSI Circuits, *Proc. ACM/IEEE Design Automation Conference*, pp.721–724 (1999).
- 5) 益 一哉, 坪内和夫: GHz 高速配線技術, 応用物理学会シリコンテクノロジー分科会, 超高速多層配線技術の課題と展望特集 (2000).
- 6) Cheng, C.-K., Lillis, J., Lin, S. and Chang, N.H.: *Interconnect Analysis and Synthesis*, A Wiley-Interscience Publication (2000).
- 7) SIA, Sematech Inc.: *International Technology Roadmap for Semiconductors* (1999).
- 8) 稲垣賢一, 神田浩一, 桜井貴康: ITRS ロードマップ準拠標準 SPICE モデルの構築, 電子情報通信学会基礎・境界ソサイエティ大会, p.74 (2000).
- 9) Johnson, W.C.: *Transmission Lines and Networks*, Electrical & Electronic Engineering Series, McGraw-Hill Book Company (1988).
- 10) Smith, M.J.: *Application-specific integrated circuits*, Addison Wesley Longman, Inc. (1997).
- 11) 碓井有三: ボード設計者のための分布定数回路のすべて, 自費出版 (2000).

(平成 13 年 9 月 21 日受付)

(平成 14 年 3 月 14 日採録)



土谷 亮

平成 13 年京都大学工学部電子工学科卒業。現在, 同大学大学院修士課程 (通信情報システム専攻) 在学中。LSI 内配線設計の研究に従事。電子情報通信学会, IEEE 各会員。



橋本 昌宜 (正会員)

平成 9 年京都大学工学部電子工学科卒業。平成 13 年同大学大学院博士課程 (通信情報システム専攻) 修了。現在、京都大学大学院情報学研究科助手。LSI の設計手法, LSI 用 CAD の研究に従事。博士 (情報学)。平成 11 年度電子情報通信学会学術奨励賞受賞。電子情報通信学会, IEEE 各会員。



小野寺秀俊 (正会員)

昭和 53 年京都大学工学部電子工学科卒業。昭和 58 年同大学大学院博士課程 (電子工学専攻) 修了。同年同大学工学部電子工学科助手。現在、京都大学大学院情報学研究科通信情報システム専攻教授。LSI の設計手法, LSI 用 CAD, MOS アナログ回路の研究に従事。工学博士。昭和 59 年度丹羽記念賞受賞。電子情報通信学会, IEEE, ACM 各会員。