

遅延計算におけるインダクタンスを考慮すべき配線の統計的選別手法

金本 俊 幾^{†1} 佐藤 高 史^{†2} 黒川 敦^{†3}
 川上 善 之^{†4} 岡 宏 規^{†5} 北浦 智 靖^{†6}
 小林 宏 行^{†7} 橋本 昌 宜^{†8}

本論文では、統計的に寄生インダクタンス L の影響を考慮すべき配線を選別する手法を提案する。本手法は、以下の 3 つのステップ、すなわち、1) 一般の LSI 配線を想定した配線構造のバリエーションを生成するステップ、2) 3-D フィールドソルバおよび回路シミュレータを用いて RC 遅延と RLC 遅延の差 (RC 遅延誤差) を求めるステップ、3) 得られた遅延の差を応答曲面法 (RSM) を用いて解析し、駆動ゲート (ドライバ) の強さと、配線長、幅等の配線構造パラメータに対して寄生インダクタンスの考慮が必要となる値の組合せを選別するステップ、からなる。本統計的選別手法を ITRS を参考に想定した 100 nm プロセスの配線構造に適用し、配線構造パラメータを用いた RC 遅延誤差の予測が有効であることを実証した。本適用例では、配線幅が最小線幅の 5 倍を超えると RC 遅延誤差が 20% を超えることが判明した。この結果に基づき、RC 遅延誤差の大きい配線のみ L を抽出して遅延を求めることが可能となるほか、レイアウト設計時に配線構造パラメータを制御することにより、配線遅延に対する寄生インダクタンスの影響を抑えたレイアウトパターンを作成することが可能となる。

A Statistical Methodology for Screening Inductance Dominated Interconnects in Timing Analysis

TOSHIKI KANAMOTO,^{†1} TAKASHI SATO,^{†2} ATSUSHI KUROKAWA,^{†3}
 YOSHIYUKI KAWAKAMI,^{†4} HIROKI OKA,^{†5} TOMOYASU KITaura,^{†6}
 HIROYUKI KOBAYASHI^{†7} and MASANORI HASHIMOTO^{†8}

This paper proposes a statistical method to select nets in which parasitic inductance should be considered. The method consists of following steps: 1) to generate representative interconnect geometry which covers wide range of wires used in the practical design, 2) to calculate delay difference between RC- and RLC-model through accurate parasitic extraction and SPICE simulation, 3) to deduce combination of geometrical parameters such as wire width, length, and the driver strength using response surface method (RSM). The application results for ITRS based 100 nm process are presented to demonstrate the effectiveness of the geometry-based statistical screening methodology. In this example, the delay difference exceeds 20% when wires wider than 5 times of the minimum width is used. The proposed methodology enables it to define the inductance-aware design rules as well as real-time feedback of the inductance impact in the layout design phase.

†1 三菱電機株式会社システム LSI 事業統括部
 System LSI Division, Mitsubishi Electric Corporation
 †2 株式会社日立製作所半導体グループ
 Semiconductor and Integrated Circuits, Hitachi, Ltd.
 †3 株式会社半導体理工学研究センター
 Semiconductor Technology Academic Research Center
 (STARC)
 †4 松下電器株式会社
 Matsushita Electric Industrial Co., Ltd.
 †5 NTT アドバンステクノロジー株式会社
 NTT Advanced Technology Corporation
 †6 株式会社富士通研究所

1. はじめに

銅配線を用いた先端の 100 nm 級システム LSI では、配線抵抗の低減によりいっそうの高速化が実現する一方、配線遅延に対する寄生インダクタンス L の影響が

Fujitsu Laboratories Ltd.
 †7 日本シノプシス株式会社
 Nihon Synopsys Co., Ltd.
 †8 京都大学
 Kyoto University

相対的に増大する．このため、配線を抵抗 R と寄生容量 C からなる RC モデルとして扱う一般的な遅延計算では、 L の影響を受ける現実の遅延との間に無視できない誤差を生じることが懸念される．

しかし、LSI 内部のすべての配線について L を抽出することは、配線ごとの電流経路決定が必要なため、現実的には困難である．

また、 L の影響をコスト関数に含めたレイアウトパターン改善手法が未確立であるため、RLC 抽出後のポストレイアウト検証で L による遅延増大等の影響を検出しても、修正を行うことは容易ではない．そこで、我々は RLC 抽出前に寄生インダクタンスを考慮すべき配線を選別（スクリーニング）し、 L に起因する遅延誤差の少ないレイアウトパターンの設計を行うことを目的とし、寄生インダクタンスが配線遅延に及ぼす影響を定量的に求めるシステムを開発した．

本論文では、上記システムと、それにより得られる RC 遅延の RLC 遅延に対する相対誤差の大きい配線を選別する手法を提案する．

既報のスクリーニングルール^{1)~3)}では配線を選別に配線 RLC 等の回路パラメータを用いているが、本手法では配線長や幅等の配線構造パラメータをもって配線を選定する．また、多くのパラメータの組合せに対するシミュレーション結果から RC 遅延誤差の主因となる配線構造パラメータを選別し、必要十分な精度を持つ予測式を得るため、統計的手法である応答曲面法 RSM (Response Surface Method)⁴⁾を用いる．

ITRS⁵⁾を参考に想定した 100 nm プロセスの配線構造に本手法を適用し、配線構造パラメータを用いた RC 遅延誤差の予測が可能であることを示す．これにより寄生インダクタンスの影響を抑えたレイアウト設計が可能となり、ポストレイアウトの修正を削減することができる．

2. RC/RLC 遅延評価システム

RC 遅延と、RLC 遅延を比較し、インダクタンスが配線遅延に及ぼす影響を定量的に評価するシステムの処理フローを図 1 に示す．なお、RC 遅延、RLC 遅延とは、それぞれ配線の等価回路を RC モデル、RLC モデルで表して求めた遅延とする．本システムは、大別すると配線 RLC の抽出、ドライバ・レシーバの決定、回路シミュレーションの 3 つの処理ステップからなる⁶⁾．以下、本システムにおける配線モデル、ドライバ・レシーバモデル、回路シミュレーションによる RC/RLC 遅延の導出方法を述べる．

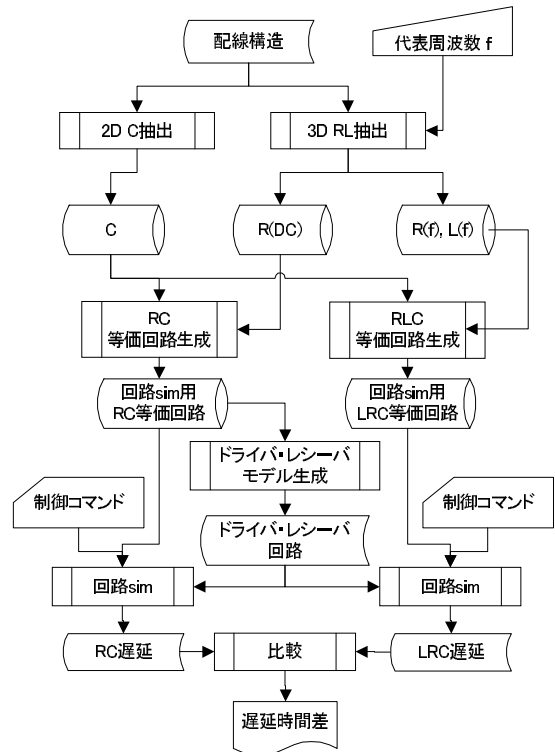


図 1 RC/RLC 遅延評価システム

Fig. 1 RC delay and RLC delay evaluation system.

2.1 配線モデル

配線のインダクタンスは信号と電源・グランド配線が形成する電流ループの大きさに依存する³⁾．したがって、着目する信号配線だけでなく、ドライバと負荷ゲート（レシーバ）が接続するグランド配線を含むように構造を定義する．配線構造は、配線膜厚や層間の絶縁体厚等、配線プロセスにより決まる断面構造と、レイアウト設計により決まる配線幅、配線間隔、配線長等からなる．

配線モデルの RLC パラメータに周波数依存性を持たせない場合には、伝送する信号に対応する代表周波数 f を決めてパラメータを抽出する．代表周波数の 1 つとして実効周波数 f_s (significant frequency) がある⁷⁾．実効周波数 f_s は、この周波数以下に台形波のスペクトルの約 85% が集中する周波数であり、 t_r を信号の立上り（立下り）時間として次式で表される．

$$f_s = \frac{0.35}{t_r} \quad (1)$$

抵抗とインダクタンスに周波数依存性を持たせることができる場合は、直流から実効周波数よりも十分高い周波数までを抽出範囲とする．同形状の配線であっても、その空間的な配置によって実効的な抵抗値とイ

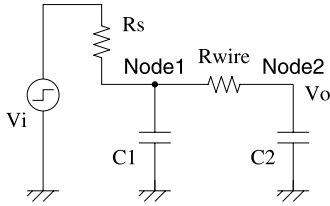


図 2 ドライバ・レシーバモデル
Fig. 2 Driver and receiver model.

インダクタンスは変化する．このため，抵抗とインダクタンスの抽出には 3 次元構造を記述できる抽出ツール^{8),9)}を用いる．同様に，容量の抽出には，3 次元または 2 次元の容量抽出ツール^{8),10)}を用いる．ただし，インダクタンスが問題となる配線は一般に断面に対して十分に長い場合，容量は 2 次元解析で十分であることが多い．なお，配線間のコンダクタンスは，考える周波数での配線間の絶縁性が十分良いとして無視する．

抵抗・インダクタンスの抽出結果と容量の抽出結果を組み合わせると，配線の RLC モデルと RC モデルを作成する．RLC モデルは，実効周波数での抵抗・インダクタンス値と容量値を用い， π 型のセグメントを従属接続する形で作成する．1 セグメントの配線長は，以下の基準により決める⁷⁾．

- (1) 抵抗とインダクタンスのインピーダンス比 $R/\omega L$ が 1 より小さい場合には，信号の立ち上がり時間に対応する実効周波数の波長に対して，セグメントの長さが十分小さく（たとえば 1/10 以下）になるよう分割する．
- (2) $R/\omega L > 1$ の場合には，3~5 分割とする．

遅延時間比較の基準とする RC モデルは，前節で得られる直流での抵抗，容量値を組み合わせると RLC モデルと同様に作成する．ただし，抵抗値の周波数依存性が小さく，実効周波数時の抵抗値が直流抵抗に等しいと見なせる場合には，単に RLC モデルからインダクタンスを取り除いて作成できる．セグメントの分割数は，RLC モデルと同一とする．

2.2 ドライバ・レシーバモデル

本システムでは，配線を駆動するドライバを電圧源および抵抗 R_s ，信号を受けるレシーバをゲート容量 C_{rcv} によりモデル化する（図 2）．なお，評価対象となるプロセスにおけるトランジスタモデルが存在する場合，あるいは文献 11) 等の方法により評価対象となるプロセスのトランジスタモデルが予測できる場合には，当該モデルを用いる．

2.3 回路シミュレーション

RC モデルと RLC モデルに対し，それぞれ同一の

ドライバ・レシーバを接続して回路シミュレーションにより RC 遅延と RLC 遅延を求め，遅延時間差を求める．配線の遅延時間は，図 2 の Node1 の電位が $V_{dd}/2$ に遷移した時刻から Node2 の電位が $V_{dd}/2$ に遷移した時刻までの時間と定義する．電圧源 V_i による入力波形は，立ち上がり時間 t_r の台形波とする．

3. インダクタンスを考慮すべき配線の選別手法

寄生インダクタンスを考慮すべき配線を指摘するいくつかの選別（スクリーニング）条件が提案されている．たとえば Deutsch ら¹⁾ や Ismail ら²⁾ の論文にある

$$R_{wire}/2Z_0 < 1 \quad (Z_0 = \sqrt{L/C}) \quad (2)$$

や，ドライバの駆動力を考慮に入れた Cheng ら³⁾ のスクリーニング条件

$$R_{wire} + R_s < m \cdot \omega_s L_w \quad (3)$$

があげられる．

式 (2) は有損失伝送線路のダンピングファクタ $\xi = Z_0/R_{wire}$ が 1 のときを境界とし， ξ が大きくなるにつれ寄生インダクタンスの影響が大きくなることを表す．また，式 (3) は誘導性リアクタンス ωL と抵抗との比に着目し，さらにドライバの駆動力を考慮に入れた式である．

これらのスクリーニング条件は，いずれも配線 RLC 等の回路パラメータを変数とする式を用いている．ところが，RLC 抽出後のポストレイアウト検証で L による遅延増大等の影響を検出しても，修正を行うことは容易ではない．そこで，本論文で提案する手法では，着目する配線構造や周波数領域において，RLC 抽出前に寄生インダクタンスを考慮すべき配線を選別することを目的とし，以下の手順で選別式の導出を行う．選別式導出のフローを図 3 に示す．

まず 2 章に示した RC/RLC 遅延評価を用い，RC 遅延の RLC 遅延に対する相対誤差

$$\text{Error} = \frac{\text{RLC 遅延} - \text{RC 遅延}}{\text{RC 遅延}} \times 100 \quad (4)$$

を求める．

次に，求めた RC 遅延の RLC 遅延に対する相対誤差あるいは遅延時間差と既存のスクリーニング条件式の値を比較し，より相関の強い条件式を選択する．条件式の変数に含まれる回路パラメータに関し，応答曲面法 RSM (Response Surface Method)⁴⁾を用いて式 (4) の Error に対する新たな予測式を応答曲面 RSF (応答関数 RSF, Response Surface Function) とし

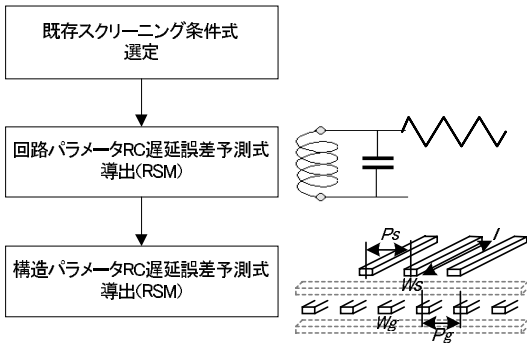


図 3 RC 遅延誤差予測式導出フロー

Fig. 3 Derivation of error using RC delay prediction equation.

て求める。

RSM は、近年配線 RC 負荷や入力信号の立上りあるいは立下り時間を変数とするセルの遅延ライブラリを作成する手法として用いられるほか¹²⁾、配線容量 TEG を用いた配線構造パラメータのキャラクタイズにも応用されている¹³⁾。

RSF は、 n 個 ($n > 1$) の予測変数 $x_i (i = 1, \dots, n)$ から予測される応答 y の関係を近似した関数

$$y = f(x_1, \dots, x_n) + \epsilon \quad (5)$$

である。本手法では、Error が応答となる。RSF の関数形に特に制限はないが、取扱いの容易さから予測変数に対して適当な変数変換を施したうえで多項式とすることが一般的である。本手法では、2 次または 3 次の多項式とする。回帰への寄与が小さい項は、5% の T 検定を用いて削除する¹⁴⁾。

未知係数を含む RSF に対し、最小二乗法およびさきに述べた T 検定を適用することにより未知係数を推定し、所望の RSF を得る。RSF の予測精度は、自由度修正済み決定係数 (R^2) により判定する⁴⁾。本手法では、0.95 以上の決定係数を持つ RSF を採用する。

回路パラメータを予測変数とする所望の精度を持つ RSF を得た後、配線 RLC を配線構造パラメータ (物理寸法) を変数とする解析式で表したモデル^{15),16)} をもとに、配線構造パラメータ、およびドライバ抵抗の中から予測変数の候補を選定し、RSF を求める。配線構造パラメータを予測変数とする RSF を新たな選別条件式とし、寄生インダクタンスの影響を考慮すべき配線に対してスクリーニングを行う。

4. 100 nm プロセスへの適用結果

提案する手法の有効性を確認するために、100 nm 世代のシステム LSI のグローバル配線構造への適用を行い、インダクタンスのモデル化有無が遅延時間に与

表 1 100 nm のプロセスパラメータ
Table 1 Assumed parameters for 100 nm technology.

項目	単位	値
ゲート長	nm	100
ASIC 動作周波数	GHz	0.98
クロック立ち上がり時間 t_r	ps	102
実効周波数 f_s	GHz	3.4
最小配線ピッチ P_{min}	nm	460
最小配線幅 W_{min}	nm	230
配線厚 T	nm	621
ビア深さ H	nm	644
層間膜比誘電率 ϵ_r		1.9
配線抵抗	Ω/mm	154
x1 ドライバオン抵抗 R_{unit}	Ω	3480
x1 レシーバ入力容量 C_{unit}	fF	3.3

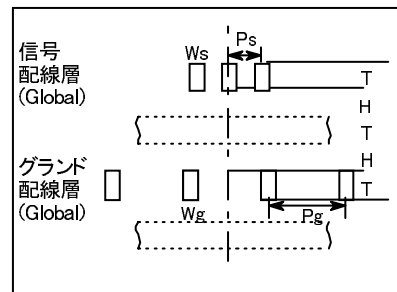


図 4 配線構造モデル

Fig. 4 Wire profile.

える影響を具体的に求めた。1999 年度の国際半導体技術ロードマップ (ITRS)⁵⁾ に基づき仮定するプロセスパラメータを表 1 に示す。

4.1 配線モデル

図 4 に本適用例における配線構造のモデルを示す。信号配線は、最上層を用いる 3 本のグローバル配線であり、配線幅 W_s 、ピッチ P_s とする。配線層の下層として格子状の電源・グランド配線を想定して、抽出対象とする配線から 2 層下に信号配線と平行にグランド配線を置く。グランド配線は、ピッチ P_g で敷詰める。

ここでは、1 層下の直交方向の配線と 3 層以上離れたグランド配線は影響が小さいとしてモデル化しない。Si 基板は、信号配線近傍のグランド配線と比較して抵抗率が大きいことから、抵抗・インダクタンスの抽出では無視し、容量抽出ではグランドとして扱う。図 4 の各パラメータに対し、現実の設計で使用される配線のバリエーションを包含するように、表 2 に示す組合せで RLC 抽出を行う。まず、抵抗やインダクタンスは、下層のグランド配線ピッチ P_g に対する依存性が大きいと考えられるため、 P_g を特にインダクタンスの差が大きい最小ピッチの 2 倍から 32 倍の範囲で変化さ

表 2 配線構造パラメータの組合せ
Table 2 Parameter variation for wire profile.

パラメータ	単位	バリエーション
信号配線ピッチ P_s	P_{min}	$\times 1, \times 2, \times 5, \times 10, \times 20$
信号配線幅 W_s	W_{min}	$\times 1, \times 5, \times 10, \times 20$
グランド配線ピッチ P_g	P_{min}	$\times 2, \times 16, \times 32$
グランド配線幅 W_g	W_{min}	$\times 1$
配線長 l	mm	0.5, 1.0, 1.5, 2.0

せている。また、信号配線幅 W_s は、抵抗が小さくインダクタンスの影響が大きくなると考えられる構造まで、広範囲に変化させておく。一方、タイミング設計の工程において、長い配線に対し自動的にバッファ挿入が行われることを想定し、配線長の最大値は 2 mm とする。

4.2 ドライバ・レシーバモデル

本事例においては、2 章に記したように配線を駆動するドライバを電圧源および抵抗 R_s 、信号を受けるレシーバをゲート容量 C_{rcv} とするモデル化を採用した。図 2 における R_s と C_{rcsv} の値は、以下の 2 通りの設計方針に基づき決定する。なお、図 2 において C_1 、 C_2 はそれぞれ $C_1 = C_{wire}/2$ 、 $C_2 = C_{wire}/2 + C_{rcv}$ 、ただし C_{wire} は配線の総容量とする。

設計方針 1: 配線はすでにリピータにより分割されるとする。この場合、全体の遅延時間を最小化するために、ドライバの遅延と配線負荷による遅延が等しくなるようにドライバのオン抵抗を求める。ドライバとレシーバは同サイズとする。

図 2 の Node1 における Elmore 遅延¹⁷⁾ T_{D1} 、および Node2 における Elmore 遅延 T_{D2} はそれぞれ

$$T_{D1} = R_s(C_1 + C_2) \tag{6}$$

$$T_{D2} = R_s C_1 + (R_s + R_{wire})C_2 \tag{7}$$

ここで、ドライバの遅延と配線負荷による遅延が等しくなる条件は

$$T_{D2} - T_{D1} = T_{D1} \tag{8}$$

である。また、単位ゲートのゲート容量、オン抵抗をそれぞれ C_{unit} 、 R_{unit} とし、ドライバとレシーバのゲート幅の単位ゲートに対する倍率を N とすると、次式を得る。

$$R_s = R_{unit}/N \tag{9}$$

$$C_{rcsv} = N C_{unit} \tag{10}$$

式 (6)~(10) より N を求めて R_s 、 C_{rcv} を算出する。

設計方針 2: 配線の RC 負荷に応じてドライバのオン抵抗を調整し、レシーバの入力ゲートにおける電位 V_{oL} から V_{oH} に至る立上り時間を目標値 t_r

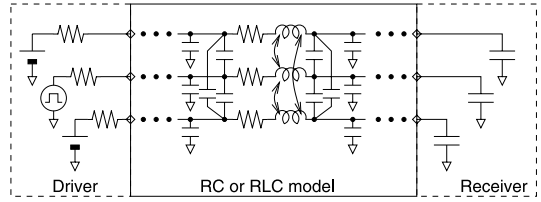


図 5 回路シミュレーションにおける等価回路
Fig. 5 Equivalent circuit for circuit simulation.

にできるドライバのオン抵抗を求める。ドライバとレシーバは同サイズとする。

図 2 の V_o における時間応答 V_o は次式で表される。

$$V_o = V_{dd} \left(1 - e^{-\frac{t}{R_s(C_1+C_2)+R_{wire}C_2}} \right) \tag{11}$$

式 (9)~(11) より所望の立上り時間 t_r に対応する N を求めて R_s 、 C_{rcv} を算出する。

4.3 回路シミュレーション

回路シミュレーションにおける等価回路を図 5 に示す。3 平行の中央の配線の遅延を測定することとし、両隣の配線は信号遷移なし（論理 'L' 固定）とする。

100 nm プロセスではクロック周波数を約 1 GHz と仮定する。立上り時間 t_r は、クロック信号周期の 1/10 として $t_r=102$ ps, 式 (1) より実効周波数を $f_s=3.4$ GHz とする。

表 2 に示したように、配線幅やピッチ等を広範囲に変化させた。このため、ドライバ設計方針 1 に対しては「幅広・ピッチ大の短距離配線」のような本来さらに長距離の一括伝送に適用すべき組合せを含み、一方設計方針 2 に対しては「最小幅・最小ピッチの長距離配線」等、本来リピータにより配線長がさらに分割されるべき組合せを含む。こうしたケースでは、極端に大きなドライバが選択されたり R_{ss} が負に計算されたりしたため、ここでは、オン抵抗が $R_{unit}/256$ 以下となるケースについては解析対象から外した。ドライバには、振幅 1.2 V、 $t_r = 102$ ps のパルス信号を入力して回路シミュレーションを行った。

4.4 インダクタンスを考慮すべき配線の選別

4.4.1 既存のスクリーニング条件式評価

まずドライバ設計方針 1 および 2 のそれぞれについて、回路パラメータを変数とするスクリーニング条件式 (2), (3) の値と、4.3 節における回路シミュレーションで求めた RC 遅延誤差との比較を行った。図 6 に両者の相関を示す。スクリーニング条件 (2) において $2Z_0/R_{wire}$ が 4 を超えると RC 遅延相対誤差が 20% を超えることが分かる。一方、スクリーニング条件 (3) は、RC 遅延時間差との相関がより強いことが分

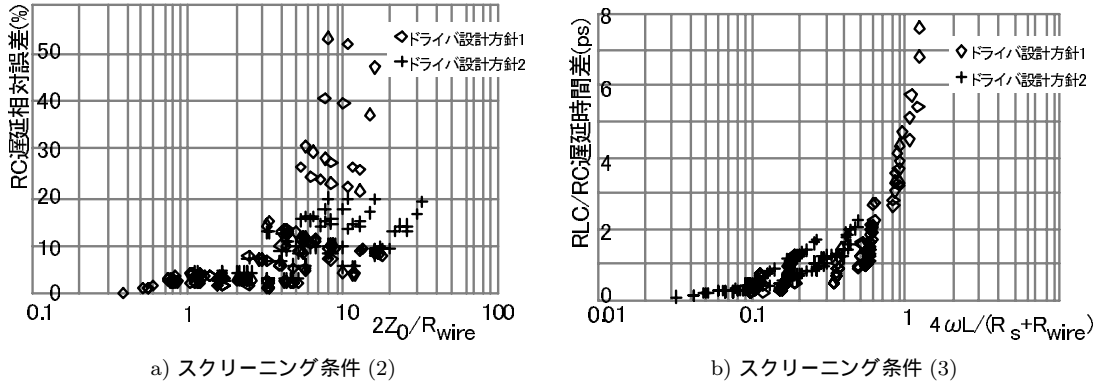


図 6 スクリーニング条件 (2), (3) による RC 遅延誤差予測
Fig. 6 RC error prediction using screening rule of Eq. (2) and (3).

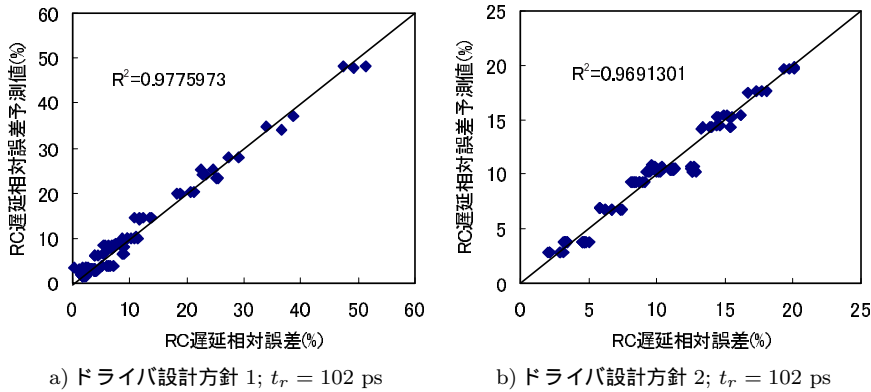


図 7 RC 遅延相対誤差の回路パラメータ $\omega L, R_{wire}$ による予測精度
Fig. 7 RC error prediction using electrical parameters $\omega L, R_{wire}$.

かる．なお，図 6 (b) では相関をより分かりやすくするため，縦軸を RLC 遅延と RC 遅延の時間差 (=RLC 遅延 - RC 遅延) として表示した．本適用例では，式 (3) のスクリーニング条件を基礎とし，次節以降で回路パラメータおよび配線構造パラメータによる RC 遅延誤差予測式の導出を行う．

4.4.2 回路パラメータによる RC 遅延誤差予測式導出

スクリーニング条件式 (3) の変数に含まれる回路パラメータは $R_s, R_{wire}, \omega L$ である．そこで，まずこれらを変数とする RC 遅延誤差の予測式を RSM により求めた．図 7 に， $t_r = 102$ ps における回路パラメータ $\omega L, R_{wire}$ による予測精度を示す．グラフの横軸は回路シミュレーションで求めた RLC 遅延と RC 遅延の間の相対的な誤差予測値，縦軸は $\omega L, R_{wire}$ を変数とする予測式で求めた RLC 遅延と RC 遅延の差を表す．本事例では， R_s を含む項を削除しても 3 次の RSF で $R^2 > 0.95$ の精度を満たすことが判明し

た．そこで，配線構造パラメータによる RC 遅延誤差予測においてより明確な知見を得るため， R_s を含む項は無視することとした．

4.4.3 配線構造パラメータによる RC 遅延誤差予測式導出

次にこれら回路パラメータから，予測変数の配線構造パラメータへの変換を行う．

まず，線状導体に対し，部分自己インダクタンス $L_{partial}$ ，および部分相互インダクタンス $M_{partial}$ は以下の近似式で表される¹⁵⁾．

$$L_{partial} = \frac{\mu_0 l}{2\pi} \left[\ln \left(\frac{2l}{w+t} \right) + \frac{1}{2} + \frac{0.2235(w+t)}{l} \right] \quad (12)$$

$$M_{mutual} = \frac{\mu_0 l}{2\pi} \left\{ \ln \left(\frac{2l}{d} \right) - 1 + \frac{d}{l} \right\} \quad (13)$$

ただし， l は配線長， w は配線幅， t は配線膜厚， d は配線間隔を表す．

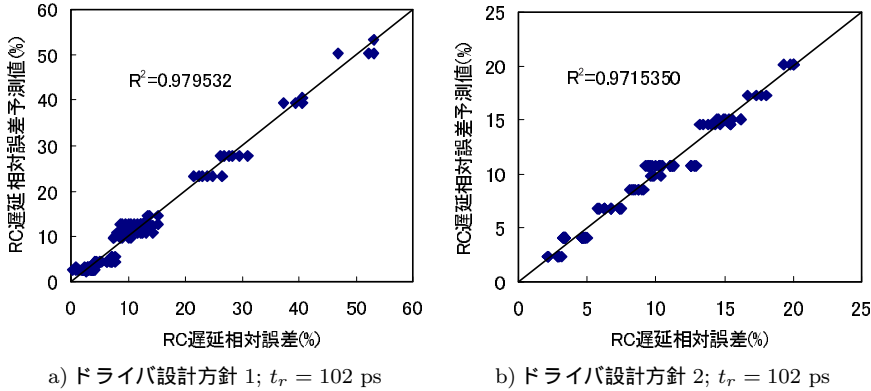


図 8 RC 遅延相対誤差の配線構造パラメータ W_s, P_g による予測精度
 Fig.8 Error prediction accuracy using physical parameters W_s, P_g .

当該配線に対し、電流帰還経路が特定できる場合、インダクタンスは完結したループインダクタンスとして扱える。本事例の配線構造を単純化した、信号配線を電流帰還配線で挟む等間隔 3 配線系において、ループインダクタンスは次式で表される¹⁵⁾。

$$L_{loop} = L_s - 2M_{sg} + \frac{L_g}{2} + \frac{M_{gg}}{2} \quad (14)$$

ただし、 L_s は信号配線の部分自己インダクタンス、 L_g は電流帰還配線の部分自己インダクタンス、 M_{sg} は信号-帰還配線間の部分相互インダクタンス、 M_{gg} は帰還配線間の部分相互インダクタンスである。本事例ではグランド配線を帰還経路とするループインダクタンスとなる。式 (12)~(14) より L_{loop} は、 l, w, t, d の関数となることが分かる。ここで、 t は配線プロセスにより決まるため、インダクタンス L は図 4 の配線構造パラメータを用いて次式のように表せる。

$$L = L_{loop} = f_1(W_s, P_g, l) + \epsilon_1 \quad (15)$$

一方、DC 領域における抵抗 R は抵抗率 ρ を用いて一般に次式のように表される。

$$R = \rho \times \frac{l}{w \times t} \quad (16)$$

ここで、 t は配線プロセスにより決まるため、 $R = f_2(W_s, l) + \epsilon_2$ を得る。そこで、回路パラメータ L, R を規定する配線構造パラメータ W_s, P_g, l を変数とする RC 遅延誤差の予測式を RSM により求めた。本事例では、配線長 l を含む項を削除しても 3 次の RSF で $R^2 > 0.95$ の精度を満たすことが判明した。これは基本的に RC 遅延誤差が ωL と R とのインピーダンス比で決まり、ループインダクタンス L と R はどちらもほぼ配線長 l に比例するためであると考えられる。そこで、ここでは配線長 l を無視することとした。

図 8 に $t_r = 102$ ps における配線構造パラメータ

W_s, P_g による RC 遅延誤差の予測精度を示す。グラフの横軸は回路シミュレーションで求めた RLC 遅延と RC 遅延の差、縦軸は W_s, P_g を変数とする予測式で求めた RLC 遅延と RC 遅延の差を表す。また、 $t_r = 102$ ps \pm 20% における RSF を 3 次元表示したグラフを図 9 に示す。図 9 において、 W_s, P_g 軸はそれぞれ表 1 に示した信号配線幅 W_s 、グランドピッチ P_g の最小値 W_{min}, P_{min} (表 2) に対する倍率を表す。なお、RSF の一例として、図 9 b) (2) に対応する RSF を式 (17) に示す。

$$\begin{aligned} \text{RSF} = & 0.45 + 1.69W_s + 0.105P_g - 0.137W_s^2 \\ & + 0.0685W_sP_g + 0.00351W_s^3 \\ & - 0.00059W_s^2P_g - 0.00135W_sP_g^2 \\ & - 0.000063P_g^3 \end{aligned} \quad (17)$$

図 9 より以下のことが分かる。線幅 W_s を最小線幅の 4 倍以下とするとときの相対誤差の最大値は 20% 以下である。本構造で信号の配線幅を制限すると、インダクタンスが遅延に与える影響はドライバ設計によらず小さい。また、グランドピッチを小さくすることで、さらに誤差を抑えることができる。一方、5 倍よりも幅広の配線を用いる場合にはドライバの設計によって遅延が大きく変化する可能性がある。ドライバの駆動力を配線負荷に比例させるよう調整して立上り時間を制御するドライバ設計方針 2 では、RC 遅延が小さく配線の抵抗が小さい幅広配線についてもインダクタンスの影響が小さい(図 9 a2, b2, c2)。特に、グランドピッチが最小ピッチを 6 倍以下に制限すると、信号配線幅が最小幅の 20 倍でも遅延誤差を 20% 以下にできる。インダクタンスの影響を抑えるためには、適切な配線幅の選択のほか、ドライバの選択により立上り時間を制御することが有効であることが判明した。

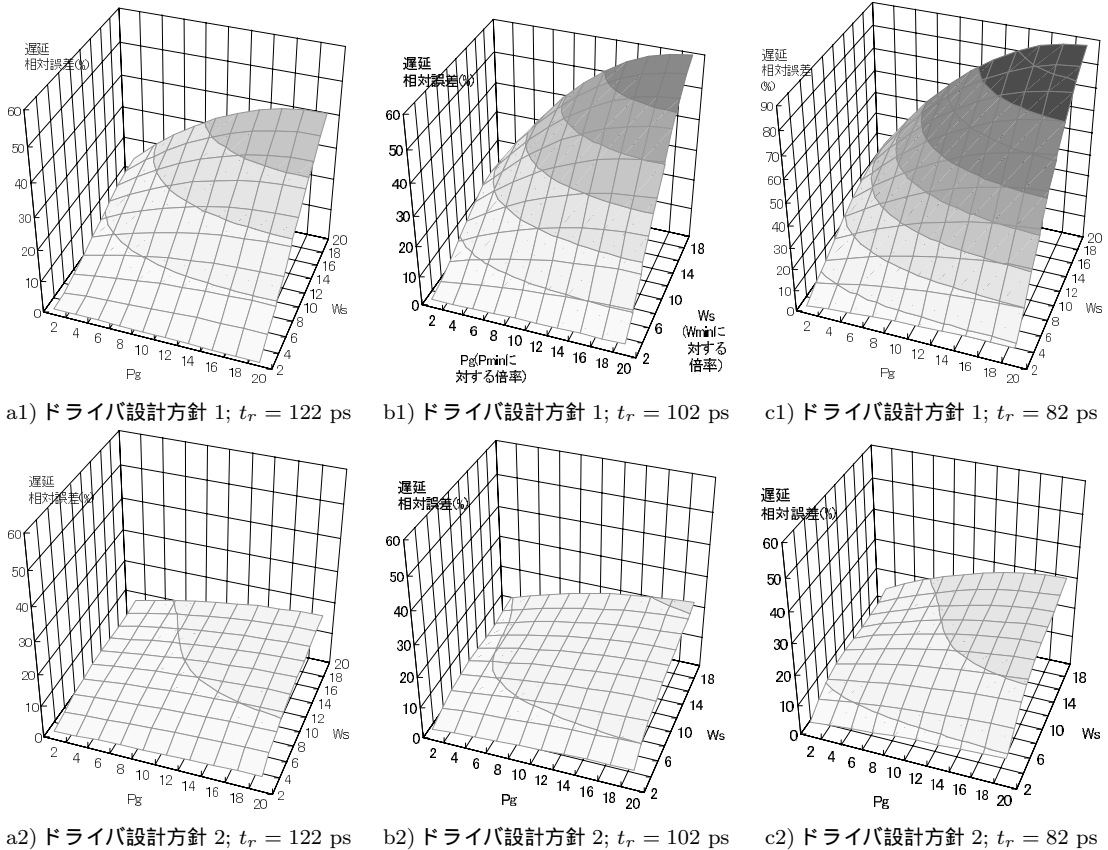


図 9 RC 遅延相対誤差の配線構造パラメータ W_s , P_g による予測グラフ

Fig. 9 Error trend using physical parameters W_s , P_g .

5. む す び

本論文では、応答曲面法を用いて寄生インダクタンスの影響を考慮すべき配線を選別する手法を提案した。

ITRS を参考に想定した 100 nm プロセスの配線構造に本手法を適用し、配線構造パラメータを用いた RC 遅延誤差の予測が可能であることを実証した。本事例では配線幅が最小線幅の 5 倍を超えると寄生インダクタンス考慮の有無による配線遅延値の差 20% を超え、遅延計算時に寄生インダクタンスを考慮する必要があることが判明した。その場合レシーバの入力ゲートにおける電位の立上り時間を一定にできるようなドライバを選択し、信号配線と並走するグランド配線を近づけることが有効である。

本手法の応用としては、たとえばクロック分配回路生成¹⁸⁾におけるクロック幹線の配線構造パラメータ制御や、広くフロアプランやレイアウト設計等、設計の早い段階で使用できる設計ルールの作成が考えられる。

謝辞 本研究をまとめるにあたり、社団法人電子情

報技術産業協会の EDA 技術専門委員会およびデジミクロン設計研究会の委員の皆様、ならびに東芝(株)池内敦彦氏のご協力に感謝いたします。

参 考 文 献

- 1) Deutsch, A., Coteus, P., Kopcsay, G., et al.: On-Chip Wiring Design Challenges for Gigahertz Operation, *Proc. IEEE*, Vol.89, No.4, pp.529-555 (2001).
- 2) Ismail, Y., Friedman, E. and Neves, J.: Figures of Merit to Characterize the Importance of On-Chip Inductance, *Proc. ACM/IEEE Design Automation Conf.*, pp.560-565 (1998).
- 3) Cheng, C.-K., Lillis, J., Lin, S. and Chang, N.: *Interconnect Analysis and Synthesis*, John Wiley & Sons, Inc. (2000).
- 4) 轟 章：インターネット講義—応答曲面法の機械工学における適用。
<http://ueno.mes.titech.ac.jp/rec-res.html>
- 5) SIA: International Technology Roadmap for Semiconductors (1999).

- 6) 佐藤高史, 金本俊幾, 黒川 敦, 川上善之, 岡宏規, 北浦智靖, 小林宏行, 橋本昌宜: インダクタンスが配線遅延に及ぼす影響の定量的評価方法, 第15回回路とシステム(軽井沢)ワークショップ論文集, pp.438-498 (2002).
- 7) Poon, R.: *Computer Circuits Electrical Design*, Prentice-Hall International (1995).
- 8) Synopsys, Inc.: Raphael: Interconnect Analysis Software Product.
http://www.synopsys.com/products/avmrg/raphael_ds.html
- 9) Kamon, M., Tsuk, M. and White, J.: FAS-THENRY: A Multipole-Accelerated 3-D Inductance Extraction Program, *IEEE Trans. MTT*, Vol.42, No.9, pp.1750-1758 (1994).
- 10) Nabors, K., Kim, S. and White, J.: Fast Capacitance Extraction of General Three-Dimensional Structures, *IEEE Trans. MTT*, Vol.40, No.7, pp.1496-1506 (1992).
- 11) Cao, Y., Sato, T., Orshansky, M., Sylvester, D. and Hu, C.: New Paradigm of Predictive CMOS Modeling for Early Circuit Simulation, *Proc. IEEE Custom Integrated Circuits Conf.*, pp.201-204 (2000).
- 12) Sato, H., Ito, Y., Kunitomo, H., Baba, H., Isomura, S. and Masuda, H.: Delay Library Generation With High Efficiency and Accuracy on the Basis of RSM, *IEICE Trans. Electron.*, Vol.E83-C, No.8, pp.1295-1302 (2000).
- 13) 半導体理工学研究センター: LSI回路の挙動に関するシミュレーション技術の開発平成11年度成果報告書(平成11年).
<http://www.tech.nedo.go.jp/Index.htm>
- 14) 金本俊幾, 佐藤高史, 黒川 敦, 川上善之, 岡宏規, 北浦智靖, 小林宏行, 橋本昌宜: 0.1- μm 級LSIの遅延計算における寄生インダクタンスを考慮すべき配線の統計的選別手法, DAシンポジウム, pp.149-154 (2002).
- 15) Lu, Y.-C., Celik, M., Young, T. and Pileggi, L.: Min/max On-Chip Inductance Models and Delay Metrics, *Proc. ACM/IEEE Design Automation Conf.*, pp.341-346 (2001).
- 16) Sakurai, T. and Tamaru, T.: Simple Formulas for Two and Three Dimensional Capacitances, *IEEE Trans. Electron Devices*, Vol.30, pp.183-185 (1983).
- 17) Elmore, W.: The Transient Response of Damped Linear Networks With Particular Regard to Wideband Amplifiers, *J. Appl. Phys.*, Vol.19, No.1, pp.55-63 (1948).
- 18) 寺井正幸, 金本俊幾, 小谷 健, 柴山泰範, 岡崎芳, 堀場康孝, 岩出秀平: 大規模高速ASIC用クロック分配回路レイアウト設計ツールの開発, 情報処理学会論文誌, Vol.43, No.5, pp.1294-1303

(2002).

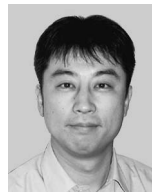
(平成14年10月17日受付)

(平成15年1月7日採録)



金本 俊幾(正会員)

平成元年日本大学理工学部物理学
科卒業。平成3年同大学大学院理
工学研究科修士課程修了。同年三菱電
機(株)入社。以来, LSIの物理設
計・検証の研究開発に従事。現在, 同
社システムLSI事業統括部勤務。



佐藤 高史

平成3年早稲田大学理工学研究科
修士課程修了。同年(株)日立製作
所入社。以来, LSIの設計技術に関
する研究開発に従事。平成8年から
9年にかけて米国カリフォルニア大
学バークレイ校客員研究員。現在, 京
都大学博士課程在籍。電子情報通
信学会, IEEE会員。



黒川 敦(正会員)

昭和62年成蹊大学工学部電気工
学科卒業。同年三洋電機(株)入社。
以来, LSIの物理設計・特性設計の
研究開発に従事。平成14年7月か
ら(株)半導体理工学研究センター
に出向, 設計技術の研究に従事, 現
在に至る。電子情報通信学会, IEEE
会員。



川上 善之

昭和60年関西大学工学部電気工
学科卒業。昭和62年同大学大学院
修士課程修了。同年松下電器産業
(株)入社。以来, LSIの物理設計・
タイミング検証分野の研究開発に
従事。現在, 同社半導体社開発本
部勤務。電子情報通信学会
会員。



岡 宏規

昭和 63 年中央大学理工学部電気工学科卒業。平成 2 年同大学大学院修士課程修了。同年 4 月日本電信電話株式会社交換システム研究所入所。現在、NTT アドバンステクノロジー株式会社へ出向中であり、Synopsys 社の回路シミュレータ HSPICE の技術サポート関連に従事。



北浦 智靖

平成 3 年東北大学工学科通信工学科卒業。平成 5 年同大学大学院電子工学科修士課程修了。同年 (株) 富士通研究所入社。以来、LSI の物理設計の研究開発に従事。現在、同社システム LSI 開発研究所勤務。



小林 宏行

平成 3 年茨城大学工学部電子学科卒業。同年三菱電機 (株) 入社。以来、LSI 設計業務に従事。平成 11 年日本シノプシス (株) 入社。現在、同社技術本部勤務。EDA ツールのセールスに従事。



橋本 昌宜 (正会員)

平成 9 年京都大学工学部電子工学科卒業。平成 13 年同大学大学院博士課程 (通信情報システム専攻) 修了。現在、京都大学大学院情報学研究科助手。LSI の設計手法、CAD の研究に従事。博士 (情報学)。電子情報通信学会、IEEE 各会員。