

# 超低電力サブスレッシュヨルド回路設計技術

Ultra Low Voltage Subthreshold Circuit Design

橋本昌宜 Masanori HASHIMOTO



**アブストラクト** MOS トランジスタのしきい値電圧より低い電源電圧で動作する回路をサブスレッシュヨルド回路、しきい値電圧付近で動作する回路をニアスレッシュヨルド回路と呼ぶ。極低電力アプリケーションの実装において、注目を集めているサブスレッシュヨルド/ニアスレッシュヨルド回路の特徴を、消費電力と消費エネルギーの観点から概説する。製造ばらつきや環境変動に性能が敏感であるという実用化を妨げている問題に対し、適応的速度制御による一解決法を紹介する。また医療応用を考えた場合、低電圧化によるソフトエラー増加も懸念されるため、超低電圧 SRAM のソフトエラー評価結果も紹介する。  
**キーワード** サブスレッシュヨルド回路、ニアスレッシュヨルド回路、超低電圧回路、製造ばらつき、環境変動、ソフトエラー

**Abstract** Circuits with supply voltages lower than the threshold voltage are called subthreshold circuits, and circuits operating at near-threshold voltage are called near-threshold circuits. Such ultralow-voltage circuits, which are drawing attention for ultralow-power applications, are reviewed in terms of power dissipation and energy in this paper. For the serious problem that the performance of subthreshold circuits is highly sensitive to manufacturing variability and environmental fluctuation, which is preventing their practical use, we introduce a solution based on self-adaptive speed control. In addition, we present soft error rates at ultralow-voltage SRAM, since reliability could be a serious concern in medical applications.

**Key words** Subthreshold circuits, Near-threshold circuits, Ultralow-voltage circuits, Manufacturing variability, Environmental fluctuation, Soft error

## 1. はじめに

電源電圧のスケーリングは CMOS デジタル回路の消費電力を削減する最も効果的な方法である。これまで MOS トランジスタしきい値電圧の 2 倍以上の電源電圧でデジタル回路設計が行われてきた。この常識を越え、電源電圧をしきい値電圧まで低下させることにより、大幅に消費電力を削減できることが近年示されている<sup>(1)</sup>。最近のテクノロジーではしきい値電圧付近の電源電圧においても数 MHz 程度の動作周波数が達成できるようになり、サブスレッシュヨルド領域を活用した超低電力動作に関する研究が活性化している。図 1 に 90 nm CMOS プロセスのインバータの入出力電圧の関係を示す。図よりしきい値電圧よりも更に低い 0.1 V といった電源電圧でも論理的に動作することが分かる。理論的な下限電圧は 52 mV と見積もられている<sup>(2)</sup>。

しきい値電圧より低い電源電圧で動作する回路をサブスレッシュヨルド回路、しきい値電圧付近で動作する回路をニアスレッシュヨルド回路と呼ぶ。以降では、サブスレッシュヨルド回路とニアスレッシュヨルド回路を特に区別せず、サブスレッシュヨルド回路と呼ぶ。サブスレッシュヨルド回路は、動作速度が遅いものの極めて消費電力が小さいため、動作速度への要求が低く、エネルギー制約の厳しいデバイスへの適用が適当である。有望なアプリケーションには、センサード用のプロセッサ<sup>(3)</sup>、<sup>(4)</sup>やヘルスマニタ<sup>(5)</sup>、<sup>(6)</sup>、構造物モニタ<sup>(7)</sup>、補聴器<sup>(8)</sup>などのバイオメディカル機器などがある。

一例として、センサネットワークはデータを取得・処理する多量のセンサードから構成されており、各ノードは通常極めて

多量のセンサードから構成されており、各ノードは通常極めて

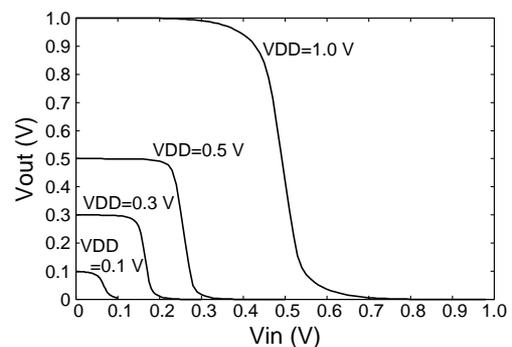


図 1 インバータの入出力電圧特性 本 90 nm CMOS プロセスの pMOS, nMOS のしきい値電圧は 0.3~0.4 V である。

橋本昌宜 正員 大阪大学大学院情報科学研究科情報システム工学専攻  
 E-mail hasimoto@ist.osaka-u.ac.jp  
 Masanori HASHIMOTO, Member (Graduate School of Information Science and Technology, Osaka University, Suita-shi, 565-0871 Japan).

電子情報通信学会 基礎・境界ソサイエティ  
 Fundamentals Review Vol.7 No.1 pp.30-37 2013 年 7 月  
 ©電子情報通信学会 2013

て体積が小さく ( $16 \text{ mm}^3$ <sup>(9)</sup>や  $1 \text{ cm}^3$ <sup>(10)</sup>), 小形のバッテリー若しくは環境エネルギーで駆動されている. 一次リチウム電池では  $10 \mu\text{W}/\text{cm}^3$  を 5 年間供給でき, ソーラーセルや振動からはそれぞれ  $10 \sim 1,000 \mu\text{W}/\text{cm}^3$  や  $10 \sim 100 \mu\text{W}/\text{cm}^3$  の電力が生成できる<sup>(11)</sup>. 限られたエネルギー源でも, ノードは長時間動作することが求められており, この厳しい消費電力の制約を満足させるためにはサブスレッショルド回路が適している.

これらの超低消費電力アプリケーションに対して, 様々なサブスレッショルド回路が提案されている. 初期研究<sup>(8)</sup>(<sup>12</sup>)-(<sup>15</sup>)では, 加算器や乗算器などの基本的な回路要素やフィルタ処理回路の実装結果が報告された. 最近の研究<sup>(16)</sup>(<sup>25</sup>)ではサブスレッショルド領域で動作するより高度なプロセッサが実装されている.

最近の 3 年に注目すると, インテル社から IA-32 の命令セットを持ち, 280 mV から 1.2 V までで動作するプロセッサが発表された<sup>(26)</sup>. TI 社からは, 0.6 V とニアスレッショルドよりも電源電圧が高いものの, 本格的な DSP が報告されている<sup>(27)</sup>. SoC への展開も報告され始めており<sup>(28)</sup>(<sup>30</sup>), 低電圧で動作する回路の実用化が近づいていることを感じさせる. また, 新規アプリケーションとして, 寸法が  $1.5 \text{ mm}^3$  の埋込形無線眼圧センサが提案されるなど<sup>(31)</sup>, 小体積実装や環境エネルギーによる持続的動作と組み合わせた新展開が期待されている.

超低電圧回路に関連した国内の大型プロジェクトも実施されている. 極低電力動作を実現する回路技術・システム技術の開発を目的として, 平成 21 年度から 24 年度にかけて, NEDO によるグリーン IT プロジェクトが実施された<sup>(32)</sup>. 本プロジェクトの一つの目標が, 0.5 V で動作するデジタル回路であり, それに向けた技術が多く開発された. また, デバイスを中心としたプロジェクトとして低炭素社会を実現する超低電圧デバイスプロジェクトが, 2010 年から超低電圧デバイス技術研究組合で実施されている<sup>(33)</sup>. 0.4 V で動作するデバイスが目標となっており, ドーパントレスの SOTB (Silicon on Thin-Buried Oxide) と呼ばれる FD-SOI (Fully Depleted Silicon-on-Insulator) デバイスを用いた実証研究が行われている.

本稿では, サブスレッショルド回路の特徴と問題を概説し, 製造や環境ばらつきを克服するための回路・設計技術の一手法を紹介する.

## 2. サブスレッショルド回路の特徴と問題点

### 2.1 サブスレッショルド領域の特性

ゲートソース間電圧  $V_{gs}$  がしきい値電圧  $V_{th}$  よりも小さい場合, MOS トランジスタはサブスレッショルド (弱反転) 領域で動作する. この領域では, nMOS のドレーン電流  $I_{ds}$  は以下で表される<sup>(14)</sup>.

$$I_{ds} = I_0 e^{\frac{V_{gs} - V_{th}}{nV_t}}, \quad (1)$$

$$I_0 = \mu C_{ox} \frac{W}{L} (n-1) V_t^2. \quad (2)$$

$\mu$  は移動度,  $C_{ox}$  はゲート酸化膜容量,  $n$  はサブスレッショルドスイングパラメータ,  $L$  はチャンネル長,  $W$  はチャンネル幅,  $V_t$  は熱電圧である. 電源電圧  $V_{DD}$  で動作するサブスレッショルド回路の遅延時間  $T_d$  は,  $V_{gs} = V_{ds} = V_{DD}$  のときのオン電流の逆数に比例する.

$$T_d \propto \frac{1}{I_{on}} = \frac{1}{I_{ds}(V_{ds} = V_{gs} = V_{DD})} \propto \frac{1}{\mu \cdot e^{\frac{V_{DD} - V_{th}}{nV_t}}}. \quad (3)$$

この式は, サブスレッショルド回路の遅延時間が電源電圧に対して指数関数的に変化することを示している. 図 2 に, 電源電圧を変化させたときの, 90 nm CMOS プロセスの 17 段リングオシレータの発振周波数 (シミュレーション値) を示す. 電源電圧の低下に伴い, 発振周波数は指数的に下がる.  $V_{DD} = 0.1 \text{ V}$  のときの周波数は, このプロセスの通常電源電圧である  $V_{DD} = 1.0 \text{ V}$  に対して,  $1/3,000$  倍となる.

次に, サブスレッショルド回路の消費電力を議論する. 電源電圧  $V_{DD}$ , 周波数  $f$  で動作するデジタル CMOS 回路の消費電力  $P$  は以下で表される<sup>(34)</sup>.

$$P = \alpha C V_{DD}^2 f + t_{sc} V_{DD} I_{sc} f + V_{DD} I_{leak}. \quad (4)$$

$\alpha$  はスイッチング確率,  $C$  は回路の総容量であり, 第 1 項は動的消費電力を表している.  $t_{sc}$  はスイッチング時に pMOS と nMOS が同時に導通する時間であり, 第 2 項は貫通電流  $I_{sc}$  による消費電力を表している. 第 3 項は回路全体の漏れ電流  $I_{leak}$  による消費電力である. これら 3 項は,  $V_{DD}$  に対する同一の変化方向を持っており,  $V_{DD}$  を下げることで消費電力が減少する.

図 3 に 17 段リングオシレータの消費電力と電源電圧の関係を示す.  $V_{DD} = 0.1 \text{ V}$  のときの消費電力は,  $V_{DD} = 1.0 \text{ V}$  のときの  $1/100,000$  倍に削減することができる.

### 2.2 最適電源電圧

式 (4) は, 超低電圧動作により消費電力を大幅に削減できることを意味している. 過去に, 基板電位バイアスによって nMOS と pMOS のしきい値電圧バランスを調整して, 最小電源電圧を求めた結果が報告されている<sup>(2)</sup>(<sup>35</sup>)(<sup>36</sup>).  $100 \text{ mV}$  でのリングオシレータの動作<sup>(2)</sup>や,  $85 \text{ mV}$  での FIR フィルタの動作<sup>(36)</sup>が報告されている. 最近ではシュミットトリガ bit を用いた 62

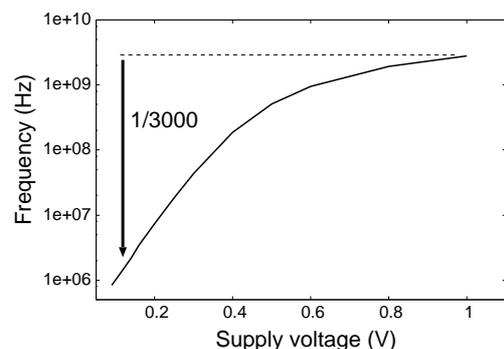


図 2 17 段リングオシレータの発振周波数 (90 nm プロセス, シミュレーション値)

mV 動作<sup>(37)</sup>が報告されている．また、これらの超低電圧動作回路は、製造ばらつきのため回路規模の増大に伴って動作可能最低電源電圧が高くなること<sup>(38)</sup>や、フリップフロップが動作可能最低電源電圧に強い影響を与えること<sup>(39)</sup>も示されている．

一方、エネルギー効率の観点からは最低電源電圧が最適ではないという報告が多くなされている<sup>(13)-(15)(17)-(21)(40)</sup>．1 サイクル当りのエネルギー  $E$  を式 (4) から求めると以下となる．

$$E = \frac{P}{f} = \alpha C V_{DD}^2 + \frac{V_{DD} I_{leak}}{f}. \quad (5)$$

簡単のため貫通電流による消費電力を省略している．式 (1) から漏れ電流  $I_{leak}$  を求めると以下となる．

$$I_{leak} \propto I_{ds}(V_{ds} = V_{DD}, V_{gs} = 0 \text{ V}) \propto e^{-\frac{V_{th}}{nV_t}}. \quad (6)$$

この式は  $I_{leak}$  が  $V_{DD}$  に直接的に依存していないことを意味している．一方、電源電圧の低下に伴い、動作周波数は指数関数的に減少する (図 2)．この結果、式 (5) の第 2 項である漏れエネルギーがサブスレッショルド領域では劇的に増加する．第 1 項の動的エネルギーが電源電圧の低下に伴って減少するため、ある電圧以下では漏れエネルギーが支配的となる．例として桁上げ伝搬加算器を遅延時間に対応した周期で動作させた場合、動的、漏れエネルギーは図 4 となる．この例では総エネルギーは 300 mV で最小となり、エネルギー効率の観点ではこの電圧より低い電圧は意味がない．

最適な電源電圧は回路構造によって異なるが、250 mV から 400 mV 付近で最小エネルギーを達成することが多

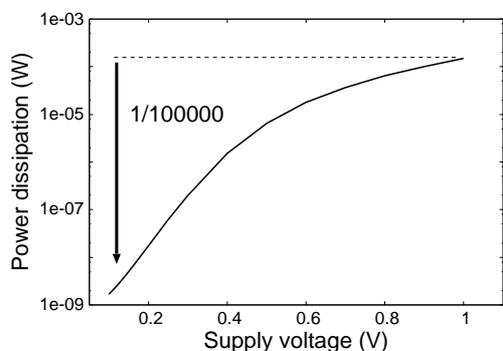


図 3 17 段リングオシレータの消費電力 (90 nm プロセス, シミュレーション値)

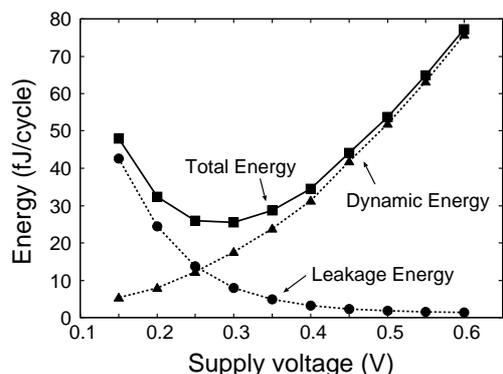


図 4 桁上げ伝搬加算器の 1 サイクル当りのエネルギー (90 nm CMOS プロセス, シミュレーション値)

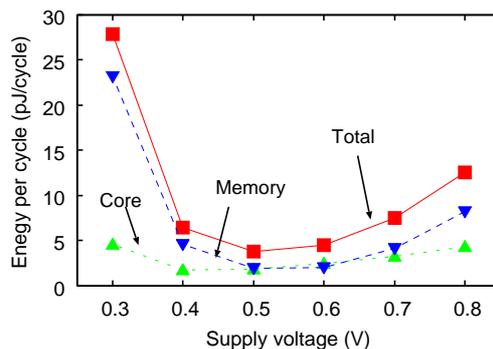


図 5 16 bit プロセッサのエネルギーと電源電圧の関係 (65 nm プロセス, 測定値)<sup>(41)</sup>

い<sup>(13)-(15)(17)-(21)</sup>．我々が 65 nm プロセスで試作した 16 bit プロセッサで SHA-1 (Secure Hash Algorithm) を実行したときの、電源電圧とエネルギーの関係を図 5 に示す<sup>(41)</sup>．コアの論理回路と SRAM メモリで最適電圧が異なり、その合計で考えるとこの例では 0.5 V で最小エネルギー動作となる．

最小エネルギーを達成する電源電圧を下げる研究も行われている．次節で述べるように、サブスレッショルド回路は製造ばらつきに弱いため、ランダムばらつきをキャンセルする目的で、浅いパイプラインで深い論理段数がサブスレッショルド回路に採用されてきた<sup>(13)(20)</sup>．しかし、論理段数が深いとスイッチングに寄与せず静止しているゲートの割合が高まる．このとき、演算に利用されるエネルギーに対して、漏れのエネルギーが大きくなり、その結果最適動作電圧が高くなる．そこで、パイプライン段数を増やした実装により、最適動作電圧を低下させる設計と動作例が報告されている<sup>(42)(43)</sup>．

## 2.3 サブスレッショルド回路の問題点

サブスレッショルド回路は、性能が製造ばらつきや環境変動 (温度や電源電圧) に対して敏感に変動するという問題がある．更に、サブスレッショルド回路はソフトエラー耐性が低いという問題もある．それぞれについて説明する．

### 2.3.1 製造ばらつきと環境変動

しきい値電圧やチャンネル長、酸化膜厚などのデバイスパラメータは、製造ばらつきによりトランジスタごとに異なる．図 6 に、17 段リングオシレータの 90 nm CMOS プロセスのワーストコーナとベストコーナでの発振周期を示す．電源電圧が 1.0 V のとき、ベストコーナでの発振周期はワーストコーナの場合の 1.7 倍である．電源電圧を 0.3 V まで下げると、ベストコーナの周波数はワーストコーナの 8 倍となる．このように、サブスレッショルド回路では製造ばらつきが性能に大きな影響を与える．

次に温度 ( $T$ ) に対する感度を議論する．回路遅延はしきい値電圧  $V_{th}$  や移動度  $\mu$  に依存する (式 (3))．温度の上昇によって、 $V_{th}$  は減少し、回路は高速化する．一方、温度の上昇は  $\mu$  を低下させるため、回路遅延を悪化させる．つまり、回路遅延の温度依存性は電源電圧に依存する<sup>(44)</sup>．図 7 に温度を変化させたとき

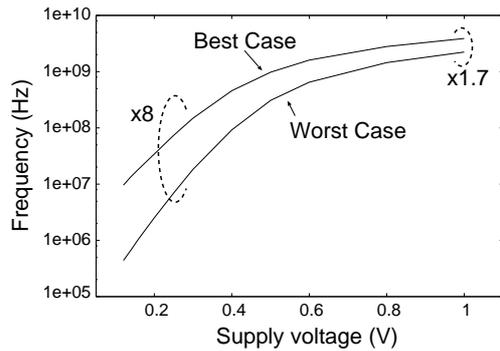


図6 ベスト・ワーストコーナにおける17段リングオシレータの発振周波数(90 nm CMOS プロセス, シミュレーション値)

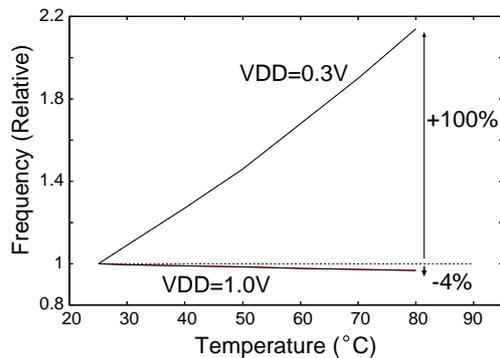


図7 温度変化と17段リングオシレータの発振周波数(90 nm CMOS プロセス, シミュレーション値)

の17段リングオシレータの発振周波数を示す。電源電圧  $V_{DD}$  が0.3 V のとき、25 °C のときと比較して80 °C のときの周波数は2倍となる。一方、 $V_{DD}$  が1.0 V のときは、80 °C のときの周波数は僅かに4%低下するのみである。このようにサブスレッショルド回路の回路遅延は温度に対しても非常に敏感に変化する。

電源電圧変動について、通常電圧の回路設計では電源雑音に対する対策が広く議論されている。サブスレッショルド回路では、消費電流が小さいため雑音値が小さく、電源雑音の影響が小さいと考えられている。一方で、バッテリーや環境エネルギーでの動作を考えた場合、電源電圧レベルはバッテリーの放電状況や環境条件によって変化する。サブスレッショルド回路の性能は図2に示したとおり、電源電圧によって敏感に変化するため、電源変動も環境変動要因として考える必要がある。

### 2.3.2 ソフトエラー

ソフトエラーと呼ばれる一過性の誤動作が、地上では主に二種類の粒子が原因となって引き起こされる。宇宙線に起因する中性子とパッケージ材料から放射される  $\alpha$  粒子である。 $\alpha$  粒子がシリコン基板に衝突すると電荷が生成され、トランジスタのドレーンノードに収集される。中性子線の場合、シリコンとの核反応によって生成された二次粒子によって電荷が生成される。それらの結果、収集された電荷は電流パルスとなり、SRAM では、メモリセルに記憶されている値を反転させる SEU(single

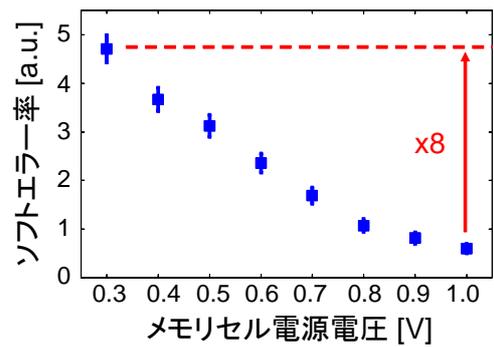


図8  $\alpha$  線に対する SEU レート

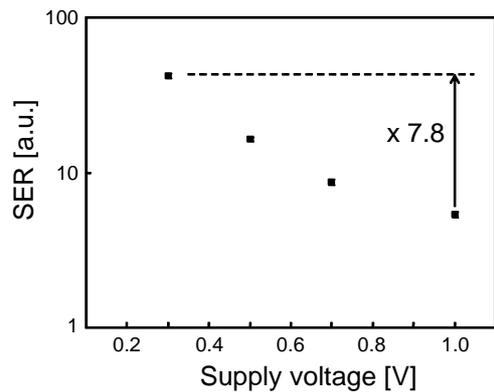


図9 中性子線に対する SEU レート

event upset) を引き起こす。問題は、電源電圧が低下することによって、値の反転に必要な電荷量(クリティカル電荷量)が小さくなることである。このため、サブスレッショルド回路のソフトエラー耐性が、特に医療応用などで懸念されている一方で、これまで測定結果が報告されていなかった。本節では、筆者らのグループが評価したサブスレッショルド SRAM のソフトエラー耐性を紹介する。

図8に、 $\alpha$  線に対する SEU レートを示す<sup>(45) (46)</sup>。評価に用いた SRAM は 10T セル構造を採用しており、65 nm CMOS プロセスで製造したものである<sup>(45)~(48)</sup>。評価には  $\alpha$  線源として、アメリカウム 241 を用いた。電源電圧が通常の 1.0 V に対して 0.3 V まで電源電圧を下げると、8 倍のエラー率となっている。図9に中性子線に対する SEU 率を示す<sup>(47)</sup>。偶然ではあるが、 $\alpha$  線のとおり同様、0.3 V 動作では 8 倍程度のソフトエラー率となっている。これらの測定結果では、サブスレッショルド SRAM は一桁近くソフトエラー耐性が低下している。

一般に超低電圧回路が対象とする回路は小規模なものが多いため、1桁ソフトエラー耐性が低下しても、SRAM 容量が 1/10 倍であれば、通常電圧回路と同程度の信頼性となる。しかし、超低電圧回路の利用が一般になれば、はじめにでも紹介したように大規模回路も設計される。これまで、ECC (error correction code) 等の対策が不要であったアプリケーションでも、超低電圧回路実装では対策が必要となる可能性がある。また、小規模な回路の場合でも医療応用などでは、電力ペナルティを払ってもソフトエラー対策が必要となる可能性が高い。

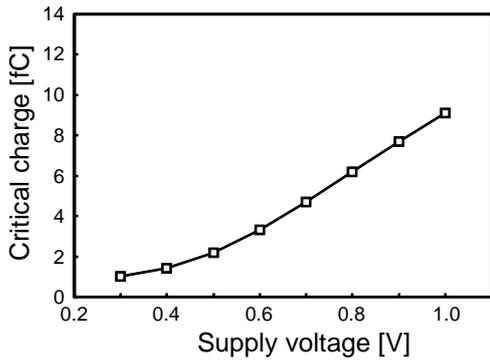


図 10 シミュレーションで求めた 65 nm 10T SRAM セルのクリティカルチャージ

ここで紹介した SRAM は超低電圧動作を目指して設計したため、トランジスタサイズが通常の SRAM よりも大きい。図 10 に、この SRAM のクリティカル電荷量を示す。このため、中性子線によるソフトエラーにおいて、0.3 V 動作時でも二次粒子として生成された陽子によるソフトエラー寄与が限定的である<sup>(48)</sup>。しかし、この SRAM セルよりも小さい SRAM で、より低いホールド電源電圧で評価した場合、陽子の影響が顕著に表れる結果も得られている<sup>(49)</sup>。先進プロセスで超低電圧動作を実現した場合、ソフトエラー率が劇的に上昇する可能性があることに注意する必要がある。

### 3. サブスレッシュド回路の耐ばらつき設計

製造ばらつきや環境変動の問題に対し、筆者らのグループではサブスレッシュド回路の実用性を高める研究を、デバイスレベル、回路レベル、設計技術レベルで進めてきた。具体的には、デバイスレベルではサブスレッシュド回路の性能ばらつきを再現するトランジスタばらつきモデルの構築<sup>(50)</sup>を行った。回路レベルでは、「ワーストケース」設計から、製造ばらつきや動作環境に応じて「適応的動作」を実現する方式について検討を行っている<sup>(51)</sup>。また、より効率的な適応的動作を実現するため、タイミングエラー頻度や消費電力の評価<sup>(52)</sup>や、ゲートクラスタリングによる性能可変性の実現<sup>(53)</sup>などの設計技術に関する研究を進めている。更に、メモリアクセスタイムの巨大なばらつきを克服するため、自己同期式プロセッサアーキテクチャについても提案を行ってきた<sup>(54)</sup>。ここでは、耐ばらつき設計技術として動作速度の適応的制御を紹介する。

製造ばらつきや温度変化によって生じる  $V_{th}$  変動が、サブスレッシュド回路の速度や消費電力を大きく変化させる。プロセスや環境について全てのワーストケースを積み上げていくと、消費電力は 10 倍以上増える恐れがある。そこで、筆者らは図 11 に示した適応的的速度補償を考えた<sup>(51)</sup>。タイミングエラー予告フリップフロップ<sup>(55)</sup>は前に挿入された遅延素子により、メインフリップフロップよりも先にエラーを起こす。このエラー信号を、タイミング余裕不足を表す警告と捉え、回路の動作を高速化/低速化する。

本適応的的速度補償を 32 bit Kogge-Stone 加算器に適用したテ

ストチップを、65 nm プロセスを用いて試作した。温度変化を与えた場合の測定結果の一例を図 12 に示す。本実装では基板電位で速度変更を行っている。(a) は提案法、(b) は 25°C で動作速度を満たすのに必要最小の 200 mV フォワードバイアス印可、(c) は各温度で必要最小の基板電位を与えた場合の結果である。提案法 (a) は (c) に近い消費電力を達成しており、適応的な速度制御が適切に行われていることが分かる。また従来法の (b) と比較して、消費電力が 40 %削減できている。同様のアイデアをパリティ時で実現した例も報告されている<sup>(56)</sup>。

図 11 に示した適応的的速度制御を回路の実動作時に適用した場合、タイミングエラーの可能性が完全には取り除けないという本質的な問題がある。クリティカルパスが長時間にわたり活性化されない場合、必要以上に回路が低速化されてしまうためである。タイミングエラーの発生頻度は、エラー予告フリップフロップの位置やその前の遅延素子の遅延値に大きく依存し、設計時や設計後に決定する必要がある。タイミングエラーの発生頻度と消費電力の関係を設計パラメータに応じて定量的に評価するため、マルコフモデルを用いた確率的評価手法を開発した<sup>(52)</sup>。

提案解析手法を 32 bit の桁上げ伝搬加算器に適用した解析例を図 13 に示す。異なる出力ビットにエラー予告フリップフロップを接続した場合の評価結果を示しており、遅延素子の値に応じて数個の点がプロットされている。この図より、タイミングエラー頻度と消費電力の間にトレードオフの関係があることが分かる。また、要求されるタイミングエラー頻度に応じて、適切なエラー予告フリップフロップの挿入位置や遅延値が存在し、それらは提案解析手法を用いて求めることができる。

最後に、より効率的な速度可変技術として検討を進めているゲートクラスタリングを紹介する。タイミング余裕の大きさに応じて同じ基板電位を共有するグループを幾つか生成する。グ

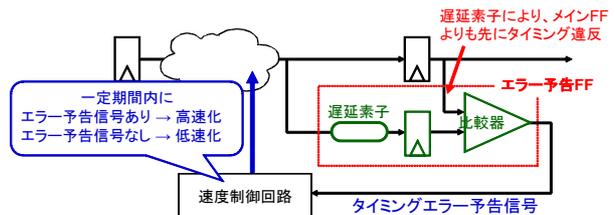


図 11 タイミングエラー予告フリップフロップを用いた適応的的速度補償

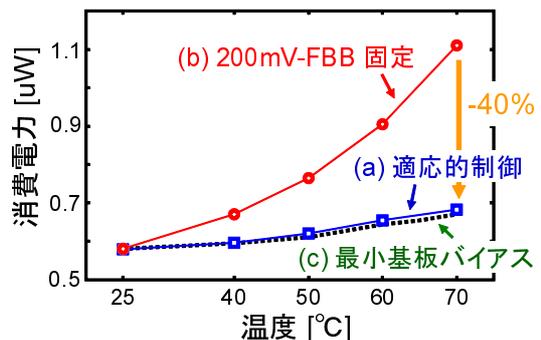


図 12 適応的的速度補償の測定結果 (3 MHz,  $V_{DD}=0.35$  V)

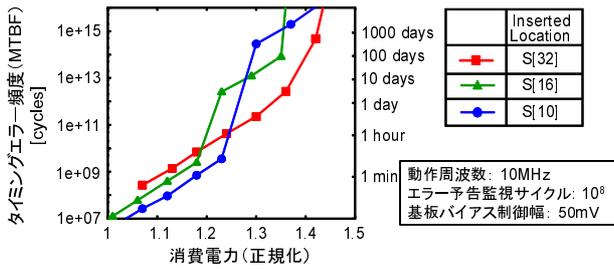


図 13 適応的速度補償における設計パラメータとタイミングエラー頻度，消費電力の評価例。

ループごとに基板電位を変更することで，回路レベルの性能調整よりも細やかな性能調整を実現する．基板電位レベルを複数用意して速度を変化させるのではなく，基板バイアスを印可するゲート数を変化させることで複数の速度レベルを実現する<sup>(53)</sup>．では，基板電位のレベルを二段階とし，調整順を設計時に一意に定めることによって，速度と消費電力の単調変化を実現している．クラスタリング時に，統計的タイミング解析と漏れ電流解析を行い，製造調整後の平均消費電力を最小化する．提案法を乗算器 ( $V_{DD}=300$  mV) に適用したところ，クラスタリングを行わない場合の性能補償に対して，漏れ電流を 70 %削減した．

#### 4. ま と め

本稿ではサブスレッショルド回路の特性，問題点並びにその一解決手法を議論した．設計上の問題の解決に加えて，新アプリケーションを指向した技術開発や環境エネルギーによる持続的動作の実現が，サブスレッショルド回路が実用化されるための今後の課題である．

#### 5. 謝 辞

本研究の一部は NEDO 産業技術研究助成並びに科学研究費補助金若手 (A) による．本研究を共に実施した更田裕司氏，濱本浩一氏，黒田弾氏，原田諒氏に感謝致します．

#### 文 献

- (1) A.W. Wang, B.H. Calhoun, and A.P. Chandrakasan, Sub-threshold design for ultra low-power Systems, New York: Springer, 2006.
- (2) A. Bryant, J. Brown, P. Cottrell, M. Ketchen, J.E. Monaghan, and E.J. Nowak, "Low-power CMOS at  $V_{dd}=4kT/q$ ," IEEE Device Research Conference, pp. 22–23, 2001.
- (3) A. Mainwaring, J. Polastre, R. Szewczyk, D. Culler, and J. Anderson, "Wireless sensor networks for habitat monitoring," Int'l Workshop on Wireless Sensor Networks and Applications, pp. 88–97, 2002.
- (4) A. Cerpa, J. Elson, D. Estrin, L. Girod, M. Hamilton, and J. Zhao, "Habitat monitoring: application driver for wireless communications technology," SIGCOMM Computer Communication Review, pp. 20–41, 2001.
- (5) A. Wong, D. McDonagh, G. Kathiresan, O.C. Omeni, O. El-Jamaly, T. Chan, P. Paddan, and A.J. Burdett, "A 1V, micropower system-on-chip for vital-sign monitoring in wireless body sensor networks," ISSCC, pp. 138–139, 2008.
- (6) K. Yano, N. Sato, Y. Wakisaka, S. Tsuji, N. Ohkubo, M. Hayakawa, and N. Moriwaki, "Life thermoscope: integrated microelectronics for visualizing hidden life rhythm," ISSCC, pp. 136–137, 2008.
- (7) K. Chintalapudi, E.A. Johnson, and R. Govindan, "Structural damage detection using wireless sensor-actuator networks," Int'l Symp. Mediterrean Conference on Control and Automation, pp. 322–327, 2005.
- (8) C.H. Kim, H. Soeleman, and K. Roy, "Ultra-low-power DLMS adaptive filter for hearing aid applications," IEEE Trans. Very Large Scale Integr.(VLSI) Syst., vol. 11, no. 6, pp. 1058–1067, Dec. 2003.
- (9) B.A. Warneke and K.S.J. Pister, "An ultra-low energy microcontroller for smart dust wireless sensor networks," ISSCC, pp. 316–317, 2004.
- (10) G. Ono, T. Nakagawa, R. Fujiwara, T. Norimatsu, T. Terada, M. Miyazaki, K. Suzuki, K. Yano, Y. Ogata, A. Maeki, S. Kobayashi, N. Koshizuka, and K. Sakamura, "1-cc computer: cross-layer integration with 3.4-nW/bps link and 22-cm locationing," Symp. VLSI Circuits, pp. 90–91, 2007.
- (11) S. Roundy, P.K. Wright, and J. Rabaey, "A study of low level vibrations as a power source for wireless sensor nodes," Comput. Commun., vol. 26, no. 11, pp. 1131–1144, July 2003.
- (12) J.T. Kao, M. Miyazaki, and A.P. Chandrakasan, "A 175-mV multiply-accumulate unit using an adaptive supply voltage and body bias architecture," IEEE J. Solid State Circuits, vol. 37, no. 11, pp. 1545–1554, Nov. 2002.
- (13) A. Wang and A. Chandrakasan, "A 180-mV subthreshold FFT processor using a minimum energy design methodology," IEEE J. Solid State Circuits, vol. 40, no. 1, pp. 310–319, Jan. 2005.
- (14) B.H. Calhoun, A. Wang, and A. Chandrakasan, "Modeling and sizing for minimum energy operation in subthreshold circuits," IEEE J. Solid State Circuits, vol. 40, no. 9, pp. 1778–1786, Sept. 2005.
- (15) B.H. Calhoun and A.P. Chandrakasan, "Ultra-dynamic voltage scaling (UDVS) using sub-threshold operation and local voltage dithering," IEEE J. Solid State Circuits, vol. 41, no. 1, pp. 238–245, Jan. 2006.
- (16) L. Nazhandali, B. Zhai, J. Olson, A. Reeves, M. Minuth, R. Helfand, S. Pant, T. Austin, and D. Blaauw, "Energy optimization of subthreshold-voltage sensor network processors," ISCA, pp. 197–207, 2005.
- (17) B. Zhai, L. Nazhandali, J. Olson, A. Reeves, M. Minuth, R. Helfand, S. Pant, D. Blaauw, and T. Austin, "A 2.60pJ/inst subthreshold sensor processor for optimal energy efficiency," Symp. VLSI Circuits, pp. 154–155, 2006.
- (18) S. Hanson, B. Zhai, M. Seok, B. Cline, K. Zhou, M. Singhal, M. Minuth, J. Olson, L. Nazhandali, T. Austin, D. Sylvester, and D. Blaauw, and "Performance and variability optimization strategies in a sub-200mV, 3.5pJ/inst, 11nW subthreshold processor," Symp. VLSI Circuits, pp.152–153, 2007.
- (19) S. Hanson, B. Zhai, M. Seok, B. Cline, K. Zhou, M. Singhal, M. Minuth, J. Olson, L. Nazhandali, T. Austin, D. Sylvester, and D. Blaauw, and "Exploring variability and performance in a sub-200-mV processor," IEEE J. Solid State Circuits, vol. 43, no. 4, pp. 831–891, April 2008.
- (20) M. Seok, S. Hanson, Y.S. Lin, Z.Y. Foo, D. Kim, Y. Lee, N. Liu, D. Sylvester, and D. Blaauw, "The Phoenix processor: a 30pW platform for sensor applications," Symp. VLSI Circuits, pp. 188–189, 2008.
- (21) S. Hanson, M. Seok, Y.S. Lin, Z.Y. Foo, D. Kim, Y. Lee, N. Liu, D. Sylvester, and D. Blaauw, "A low-

- voltage processor for sensing applications with picowatt standby mode," *IEEE J. Solid State Circuits*, vol. 44, no. 4, pp. 1145–1155, April 2009.
- (22) J. Kwong, Y.K. Ramadass, N. Verma, and A.P. Chandrakasan, "A 65 nm sub- $V_t$  microcontroller with integrated SRAM and switched-capacitor DC-DC converter," *IEEE J. Solid State Circuits*, vol. 44, no. 1, pp. 115–126, Jan. 2009.
- (23) H. Kim, S. Choi, and H.J. Yoo, "A low power 16-bit RISC with lossless compression accelerator for body sensor network system," *ISSCC*, pp.207–210, 2006.
- (24) J.S. Wang, H.Y. Li, C. Yeh, and T.F. Chen, "Design techniques for single-low- $V_{DD}$  CMOS systems," *IEEE J. Solid State Circuits*, vol. 40, no. 5, pp. 1157–1165, May 2005.
- (25) J.S. Wang, J.S. Chen, Y.M. Wang, and C. Yeh, "A 230mV-to-500mV 375KHz-to-16MHz 32b RISC core in 0.18 $\mu$ m CMOS," *ISSCC*, pp.294–295, 2007.
- (26) S. Jain, S. Khare, S. Yada, V. Ambili, P. Salihundam, S. Ramani, S. Muthukumar, M. Srinivasan, A. Kumar, S.K. Gb, R. Ramanarayanan, V. Erraguntla, J. Howard, S. Vangal, S. Dighe, G. Ruhl, P. Aseron, H. Wilson, N. Borkar, V. De, and S. Borkar, "A 280mV-to-1.2V wide-operating-range IA-32 processor in 32nm CMOS," *ISSCC*, pp.66–68, 2012.
- (27) G. Gammie, N. Ickes, M.E. Sinangil, R. Rithe, J. Gu, A. Wang, H. Mair, S. Datla, B. Rong, S. Honnavara-Prasad, L. Ho, G. Baldwin, D. Buss, A.P. Chandrakasan, and U. Ko, "A 28nm 0.6V low-power DSP for mobile applications," *ISSCC*, pp.132–134, 2011.
- (28) T.-J. Lin, C.-A. Chien, P.-Y. Chang, C.-W. Chen, P.-H. Wang, T.-Y. Shyu, C.-Y. Chou, S.-C. Luo, J.-I. Guo, T.-F. Chen, G. C.H. Chuang, Y.-H. Chu, L.-C. Cheng, H.-M. Su, C. Jou, M. Jeong, C.-W. Wu, and J.-S. Wang, "A 0.48V 0.57nJ/pixel video-recording SoC in 65nm CMOS," *ISSCC*, pp.157–158, 2013.
- (29) D. Jeon, Y. Kim, I. Lee, Z. Zhang, D. Blaauw, D. Sylvester, "A 470mV 2.7mW feature extraction-accelerator for micro-autonomous vehicle navigation in 28nm CMOS," *ISSCC*, pp.166–167, 2013.
- (30) M. Konijnenburg, Y. Cho, M. Ashouei, T. Gemmeke, C. Kim, J. Hulzink, J. Stuyt, M. Jung, J. Huisken, S. Ryu, J. Kim, and H. de Groot, "Reliable and energy-efficient 1MHz 0.4V dynamically reconfigurable SoC for ExG applications in 40nm LP CMOS," *ISSCC*, pp.430–431, 2013.
- (31) G. Chen, H. Ghaed, R. Haque, M. Wieckowski, Y. Kim, G. Kim, D. Fick, D. Kim, M. Seok, K. Wise, D. Blaauw, D. Sylvester, "A cubic-millimeter energy-autonomous wireless intraocular pressure monitor," *ISSCC*, pp.310–312, 2011.
- (32) 極低電力回路・システム技術開発(グリーンITプロジェクト), [http://www.nedo.go.jp/activities/EF\\_00130.html](http://www.nedo.go.jp/activities/EF_00130.html).
- (33) 超低電圧デバイス技術研究組合, <http://www.leap.or.jp/>.
- (34) J.M. Rabaey, A. Chandrakasan, and B. Nikolic, *Digital integrated circuits*, 2nd ed., New Jersey, Pearson Education, Inc., 2003.
- (35) G. Ono and M. Miyazaki, "Threshold-voltage balance for minimum supply operation," *IEEE J. Solid State Circuits*, vol. 38, no. 5, pp. 830–833, May 2003.
- (36) M.E. Hwang, A. Raychowdhury, K. Kim, and K. Roy, "A 85mV 40nW process-tolerant subthreshold 8x8 FIR filter in 130nm technology," *Symp.VLSI Circuits*, pp. 154–155, 2007.
- (37) N. Lotze and Y. Manoli, "A 62 mV 0.13 $\mu$ m CMOS standard-cell-based design technique using Schmitt-trigger logic," *IEEE J. Solid State Circuits*, vol.47, no.1, pp.47–60, 2012.
- (38) T. Yasufuku, T. Niiyama, Z. Piao, K. Ishida, M. Murakata, M. Takamiya, and T. Sakurai, "Difficulty of power supply voltage scaling in large scale subthreshold logic circuits," *IEICE Trans. Electron.*, vol.E93-C, no.3, pp.332–339, March 2010.
- (39) J. Kawashima, H. Tsutsui, H. Ochi, and T. Sato, "A variability-aware energy-minimization strategy for subthreshold circuits," *IEICE Trans. Fundamentals*, vol.E95-A, no.12, pp.2242–2250, Dec. 2012.
- (40) B. Zhai, D. Blaauw, D. Sylvester, and K. Flautner, "Theoretical and practical limits of dynamic voltage scaling," *DAC*, pp. 868–873, 2004.
- (41) D. Kuroda, H. Fuketa, M. Hashimoto, and T. Onoye, "A 16-bit RISC processor with 4.18pJ/cycle at 0.5V operation," *COOL Chips*, p. 190, 2010.
- (42) M. Seok, D. Jeon, C. Chakrabarti, D. Blaauw, and D. Sylvester, "A 0.27V 30MHz 17.7nJ/transform 1024-pt complex FFT core with super-pipelining," *ISSCC*, pp.342–344, 2011.
- (43) M. Seok, D. Jeon, C. Chakrabarti, D. Blaauw, and D. Sylvester, "Pipeline strategy for improving optimal energy efficiency in ultra-low voltage design," *DAC*, pp.990–995, 2011.
- (44) K. Kanda, K. Nose, H. Kawaguchi, and T. Sakurai, "Design impact of positive temperature dependence on drain current in sub-1-V CMOS VLSIs," *IEEE J. Solid State Circuits*, vol. 36, no. 10, pp. 1559–1564, Oct. 2001.
- (45) H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Alpha-particle-induced soft errors and multiple cell upsets in 65-nm 10T subthreshold SRAM," *IRPS*, pp. 213–217, 2010.
- (46) H. Fuketa, R. Harada, M. Hashimoto, and T. Onoye, "Measurement and analysis of alpha-particle-induced soft errors and multiple cell upsets in 10T subthreshold SRAM," *IEEE Trans. Device and Mater. Reliab.*, in press.
- (47) H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Neutron-induced soft errors and multiple cell upsets in 65-nm 10T subthreshold SRAM," *IEEE Trans. Nucl. Sci.*, vol. 58, no. 4, pp. 2097–2102, Aug. 2011.
- (48) R. Harada, S. Abe, H. Fuketa, T. Uemura, M. Hashimoto, and Y. Watanabe, "Angular dependency of neutron induced multiple cell upsets in 65-nm 10T subthreshold SRAM," *IEEE Trans. Nucl. Sci.*, vol. 59, no. 6, pp. 2791–2795, Dec. 2012.
- (49) T. Uemura, T. Kato, H. Matsuyama, and M. Hashimoto, "Soft-error in SRAM at ultra low voltage and impact of secondary proton in terrestrial environment," *Nuclear and Space Radiation Effects Conference (NSREC)*, to appear.
- (50) H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Transistor variability modeling and its validation with ring-oscillation frequencies for body-biased subthreshold circuits," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 18, no. 7, pp. 1118–1129, July 2010.
- (51) H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Adaptive performance compensation with in-situ timing error predictive sensors for subthreshold circuits," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 20, no. 2, pp. 333–343, Feb. 2012.
- (52) H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Trade-off analysis between timing error rate and power dissipation for adaptive speed control with timing error prediction," *IEICE Trans. Fundamentals*, vol.E92-A, no.12, Dec. 2009.
- (53) K. Hamamoto, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Tuning-friendly body bias clustering for compensating random variability in subthreshold circuits," *ISLPED*, 2009.
- (54) H. Fuketa, D. Kuroda, M. Hashimoto, and T. Onoye, "An average-performance-oriented subthreshold processor self-timed by memory read completion," *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process.*, vol. 58, no. 5, pp. 299–303, May 2011.

- (55) T. Sato and Y. Kunitake, "A simple flip-flop circuit for typical-case designs for DFM," pp.539-544, ISQED, 2007.
- (56) K. Hirairi, Y. Okuma, H. Fuketa, T. Yasufuku, M. Takamiya, M. Nomura, H. Shinohara, and T. Sakurai, "13% Power reduction in 16b integer unit in 40nm CMOS by adaptive power supply voltage control with parity-based error prediction and detection (PEPD) and fully integrated digital LDO," ISSCC, pp.486-488, 2012.

(CAS 研究会提案, 平成 25 年 3 月 18 日受付  
4 月 17 日最終受付)



橋本昌宜 (正員)

1997 京大・工・電子卒 . 1999 京大大学院工学研究科電子通信工学専攻修士課程了 . 2001 京大大学院情報学研究科通信情報システム工学専攻博士課程了 . 京大博士 (情報学) . 2001 同大学院同研究科同専攻助手 . 2004 阪大大学院情報科学研究科情報システム工学専攻助教授 . 2007 准教授 . 2001-2005 さきがけ研究員兼務 . 集積回路の設計技術に関する研究に従事 . 第 17 回安藤博記念学術奨励賞 (2004) , ASP-DAC Best Paper Award (2004) , 第 5 回エリクソン・ヤング・サイエンティスト・アワード (2002) , 情報処理学会 山下記念研究賞 (2002) , 本会学術奨励賞 (2000) 各受賞 . DAC, ICCAD, ASP-DAC, ISPD, DATE 等の国際会議のプログラム委員を歴任 .