

# 製造ばらつきに起因するリーク電流変動の低減アプローチ

## An Approach for Reducing Leakage Current Variation due to Manufacturing Variability

佐方剛<sup>1</sup> 黒川敦<sup>2</sup> 奥村隆昌<sup>3</sup> 中島英斉<sup>4</sup> 増田弘生<sup>5</sup> 佐藤高史<sup>6</sup>  
橋本昌宜<sup>7</sup> 蜂屋孝太郎<sup>8</sup> 古川且洋<sup>8</sup> 田中正和<sup>9</sup> 高藤浩資<sup>10</sup> 金本俊幾<sup>5</sup>

<sup>1</sup>富士通マイクロエレクトロニクス(株) <sup>2</sup>三洋半導体(株) <sup>3</sup>(株)半導体理工学研究センター  
<sup>4</sup>NEC エレクトロニクス(株) <sup>5</sup>(株)ルネサステクノロジ <sup>6</sup>東京工業大学  
<sup>7</sup>大阪大学 <sup>8</sup>(株)ジエダット <sup>9</sup>パナソニック(株) <sup>10</sup>(株)リコー

Tsuyoshi SAKATA<sup>1</sup> Atsushi KUROKAWA<sup>2</sup> Takaaki OKUMURA<sup>3</sup> Hidenari NAKASHIMA<sup>4</sup>  
Hiroo MASUDA<sup>5</sup> Takashi SATO<sup>6</sup> Masanori HASHIMOTO<sup>7</sup> Koutaro HACHIYA<sup>8</sup>  
Katsuhiko FURUKAWA<sup>8</sup> Masakazu TANAKA<sup>9</sup> Hiroshi TAKAFUJI<sup>10</sup> Toshiki KANAMOTO<sup>5</sup>

<sup>1</sup>Fujitsu Microelectronics Ltd. <sup>2</sup>SANYO Semiconductor Co., Ltd. <sup>3</sup>STARC  
<sup>4</sup>NEC Electronics Corp. <sup>5</sup>Renesas Technology Corp. <sup>6</sup>Tokyo Institute of Technology  
<sup>7</sup>Osaka University <sup>8</sup>JEDAT Inc. <sup>9</sup>Panasonic Corp. <sup>10</sup>Ricoh Co., Ltd.

### 概要

リーク電流は LSI 製品の商品価値を大きく左右する重要な因子である。プロセスばらつきによるリーク電流ばらつきは、チップ毎にリーク電流が異なる結果となり、リーク電流ばらつきを抑えることは LSI の品質を確保する上で重要である。本論文では、CMOS デジタル回路においてプロセスばらつきが遅延とリーク電流ばらつきへ与える影響に着目する。はじめにプロセスばらつきが遅延とリーク電流へ与える影響を評価するための解析式を導出し、遅延が一定でもリーク電流ばらつきが変動する場合を議論し、リーク電流ばらつきを低減する方法を提案する。提案するリーク電流ばらつき低減方法は、実験により、何も考慮しない従来の一般設計と比較して、歩留まり 90% とした場合のリーク電流値に対して 50% の低減効果があることを示す。

### 1 はじめに

LSI 製品において、チップ消費電力は製品価値を決める重要な因子である。特に、電池駆動型の機器(携帯電話、リモコン、ノート PC 等)に内蔵される LSI においては、低消費電力化が必須であり、商品価値を決定する重要な差別化技術となっている。CMOS デジタル回路において消費電力は、動作時に負荷容量で消費されるスイッチング電流、入力信号が遷移する間に CMOS 回路が同時オンすることで電源からグラウンドに直接電流が流れる貫通電流、そして待機時のリーク電流の成分からなる。微細化が進むにつれ、リーク電流は、増加傾向にあり、リーク電流の低減は必須

である。特にリーク電流はプロセスばらつきに敏感であり、出来上がったチップ毎にリーク電流のばらつきに大きな差を生じさせ、歩留りの悪化や低品質製品の市場流出につながる。このため、リーク電流のばらつきを低減することは非常に重要である。

電力消費を抑制する設計技術として、動的電力削減のためにクロック・ゲーティング、多電源、端子順序変更、論理セルと配線の最適化等があり、リーク電力削減のために、MTCMOS、多電源、多閾値論理セル等がある[1-3]。また、プロセスばらつきとリーク電流に関する技術報告としては、例えば、プロセスばらつきのリーク電流への影響[4]やリーク電流のメカニズム[5]、チップリーク電流の見積り[6-9]、リーク電流の成分の割合解析[10]、温度の影響[11]、遅延とリーク電流の関係の解析[12-14]、リーク電流低減のパラメータや設計へのアプローチ[15-19]等がある。

しかしながら従来の手法においては、総リーク電流として、どのパラメータがどの程度影響するのか不明瞭であった。また、プロセスばらつきによる遅延時間とリーク電流の関係において、プロセスばらつき(例えば、PMOS、NMOS の閾値電圧やゲート長)に対して遅延が同じになるパラメータの条件が存在するが、リーク電流ばらつきを低減するパラメータの条件は報告されていない。

本論文では、はじめにチップのリーク電流に関して、チップ内ばらつきが遅延とリーク電流へ与える影響を、さまざまな角度から分析するために、リーク電流と遅延の解析式を導出する。次にその解析式を用いて、リーク電流として、どのパラメータがリーク電流量に与える影響が大きいかを明確にする。次に、プロセスばらつきによる遅延時間とリーク電流の関係から、遅延一定となる条件化下でリーク電流を変動させるパラメータの関係を吟味し、リーク電流ばらつきを低減する方

本研究は、JEITA EDA 技術専門委員会 ナノ世代物理設計ワーキング・グループ(NPD-WG)の活動として実施されたものである。

法を提示する。最後にその提案方法の有効性を示す。

本論文の残りの構成は以下である。第2章でリーク電流と遅延の関係を分析するための解析式の導出方法を示し、第3章で45nmテクノロジーモデルを用いて解析式を導出し、第4章で遅延が同一な時にリーク電流ばらつきを低減するパラメータの条件を実験解析し、第5章で提案方法が遅延とリーク電流の関係で有効であることを示し、最後に第6章でまとめる。

## 2 解析式の導出方法

本章では、プロセスばらつきにおける遅延とリーク電流の関係を解析するための解析式の導出方法を説明する。

### 2.1 解析式の基本的な考え方

本論文の解析では、インバータの多段接続を考慮して、インバータ2段分の遅延とリーク電流を取り扱う。2段分を扱う理由は、信号の立ち上がりと立ち下がりによりPMOSとNMOSトランジスタの影響を同時に考慮するためである。遅延とリーク電流の解析式は、応答曲面法により以下の2次の多項式で表現する。

$$y = \beta_0 + \sum_{i=1}^n \beta_i x_i + \sum_{i=1}^n \sum_{j \geq i} \beta_{ij} x_i x_j \quad (1)$$

但し、 $n$ は説明変数の数、 $x$ は説明変数、 $\beta$ はそれぞれの項の係数である。

ばらつきパラメータとして閾値電圧  $V_{th}$ 、チャネル長  $L$ 、ゲート酸化膜厚  $T_{ox}$  の3つが特性変動の主要因と考えられる。本論文ではその3つのパラメータ変動を扱う（他にチャネル幅  $W$  や移動度  $\mu$  があるが、本手法を拡張することにより同様に扱うことができる）。

### 2.2 遅延の解析式

インバータの遅延は、 $\alpha$ 乗モデル[20]から、簡易的に以下の式で得られる。

$$T_d = \frac{C_L V_{dd}}{\mu \cdot \frac{\epsilon_{ox}}{T_{ox}} \cdot \frac{W}{L} (V_{dd} - V_{th})^\alpha} \quad (2)$$

但し、 $C_L$ は負荷容量、 $V_{dd}$ は電源電圧、 $\epsilon_{ox}$ は誘電率、 $\alpha$ はプロセスで決まる定数（通常1~2）である。すなわち、おおよそ以下の関係がある。

$$T_d \propto \frac{1}{(V_{dd} - V_{th})^\alpha} L T_{ox} \quad (3)$$

ここで $\alpha$ は1~2のため、 $V_{th}$ は2次式でおおよそ表現可能である。遅延の解析式は式(1)と上述の関係を用いて、以下のように表現する。

$$T_{d,1} - T_{d,0} = f(V_{th,P,1} - V_{th,P,0}, V_{th,N,1} - V_{th,N,0}, \left( \frac{L_{P,1}}{L_{P,0}}, \frac{L_{N,1}}{L_{N,0}}, \frac{T_{ox,P,1}}{T_{ox,P,0}}, \frac{T_{ox,N,1}}{T_{ox,N,0}} \right) \quad (4)$$

但し、 $T_{d,1} - T_{d,0}$ は式(1)の  $y$  に、関数  $f$  内の変数は式(1)において  $n=6$  とした時の  $x_1 \sim x_6$  の説明変数に対応している。変数の添え字の  $P$  と  $N$  はPMOSとNMOSトランジスタを表し、 $0$  はノミナル時の値、 $1$  は変動した時の値を示す。

### 2.3 リーク電流の解析式

リーク電流はおおよそ以下のトータル電流で表される[3]。

$$I_{total} = I_{BTBT} + I_{sub} + I_{gate} + I_{GIDL} \quad (5)$$

但し、 $I_{BTBT}$ は逆バイアスのソースドレインpn接合リーク電流、 $I_{sub}$ はサブスレッショルド電流、 $I_{gate}$ はトンネル電流とホットキャリア起因のゲート電流、 $I_{GIDL}$ は高電界で生じるドレイン電流である。そのイメージを図1に示す。BSIM4[21]では $I_{sub}$ はおおよそ以下で表される。

$$I_{sub} = \mu \frac{\epsilon_{ox}}{T_{ox}} \frac{W}{L} V_T^2 e^{\frac{V_{gs} - V_{th}}{nV_T}} \left( 1 - e^{-\frac{V_{ds}}{V_T}} \right) \quad (6)$$

但し、 $V_T = kT/q(V)$ 、 $k$ はボルツマン定数  $1.38054 \times 10^{-23}(\text{eV/K})$ 、 $\epsilon_{ox}$ は誘電率、 $T$ は絶対温度(K)、 $q$ は電子の電荷  $1.602189 \times 10^{-19}(\text{e})$ である。また、 $n$ は指数係数、 $V_{gs}$ と $V_{ds}$ はゲートソース間とドレインソース間の電圧(V)である。ここで $I_{sub}$ の対数は以下の関係がある。

$$\ln(I_{sub}) \propto (V_{dd} - V_{th}) \ln(T_{ox}) \ln(L) \quad (7)$$

但し、 $V_{dd}$ は $V_{gs}$ と $V_{ds}$ にかかる電源電圧である。他のリーク電流モデルは式(6)とは形式が異なるが、ここでは $I_{sub}$ が全体のリーク電流に対して占める割合が大きい[10]ことを仮定する。

リーク電流の解析式は式(1)と上述の関係を用いて、以下のように表現する。

$$\ln \left( \frac{I_{leak,1}}{I_{leak,0}} \right) = g(V_{th,P,1} - V_{th,P,0}, V_{th,N,1} - V_{th,N,0}, \left( \frac{L_{P,1}}{L_{P,0}}, \ln \left( \frac{L_{N,1}}{L_{N,0}} \right), \ln \left( \frac{T_{ox,P,1}}{T_{ox,P,0}} \right), \ln \left( \frac{T_{ox,N,1}}{T_{ox,N,0}} \right) \right) \quad (8)$$

但し、 $\ln(I_{leak,1}/I_{leak,0})$ は式(1)の  $y$  に、関数  $g$  内の変数は式(1)において  $n=6$  とした時の  $x_1 \sim x_6$  の説明変数に対応している。

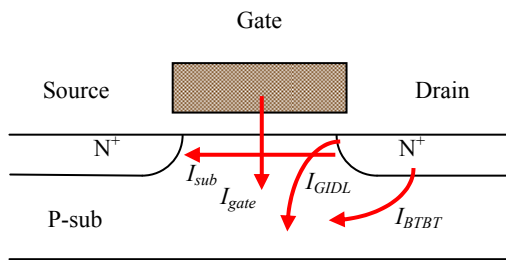


図 1:リーク電流

### 3 解析式の導出

本章では、本論文における解析の条件を明示した上で、解析式を導出する。

#### 3.1 解析式導出に用いた条件

解析式導出に使用したパラメータの値を表1に示す。ばらつきの値は ITRS[22]を参考にした。変動パラメータは閾値電圧  $V_{th}$ 、チャネル長  $L$ 、ゲート酸化膜厚  $T_{ox}$  の3種とし、PMOS、NMOSそれぞれ、各パラメータの値を  $-3\sigma, -1\sigma, 0, 1\sigma, 3\sigma$  の5点で振り、計  $5^6 = 15625$  点の SPICE シミュレーションを行う。回路は図2に示す多段インバータとし、波形が安定した2段の遅延( $T_d$ )とリーク電流( $I_{leak}$ )を求める。求めた結果を前章の式(4)と式(8)に当てはめ、それぞれの係数を抽出する。

項目	値
SPICEモデルパラメータ	PTM 45nm (Bulk) [23]
SPICE電流モデル	BSIM4
電源電圧 $V_{dd}$	1V
基本 (×1インバータ) のトランジスタサイズ	P W/L=450nm/45nm N W/L=225nm/45nm
閾値電圧 ( $V_{th}$ ) の $3\sigma$	42%
チャネル長 ( $L$ ) の $3\sigma$	12%
ゲート酸化膜厚 ( $T_{ox}$ ) の $3\sigma$	4%

表 1: 解析に使用したパラメータ

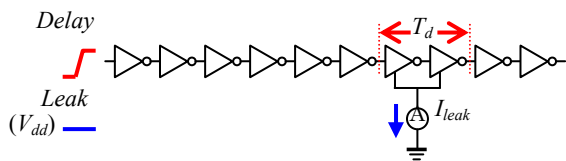


図 2: 解析に用いた回路イメージ

#### 3.2 インバータにおける解析式の結果

前節条件に従って、解析式を導出した。表2と表3は、 $V_{th}$ ,  $L$ ,  $T_{ox}$ のPMOS、NMOSトランジスタ全6パラメータを用いた遅延解析式とリーク電流解析式の係数である。表の  $\beta_i, \beta_{ij}$  はそれぞれ、式(1)の  $\beta_i, \beta_{ij}$  に対応する。次に、表4と表5は  $V_{th}$ ,  $L$ ,  $T_{ox}$  をそれぞれ個別に扱った解析式であり、それぞれの成分でPMOS、NMOSトランジスタ間の解析に利用する。例えば、表4と表5の  $V_{th}$  の係数  $\beta$  は、 $L$  と  $T_{ox}$  を固定し、PMOS、NMOSトランジスタ  $V_{th}$

を5点ずつ計25点振ったSPICEシミュレーション結果から導出している。

表 2: 遅延解析式係数

$\beta_0$	$\beta_1$	$\beta_2$	$\beta_3$	$\beta_4$	$\beta_5$	$\beta_6$
2.38E-11	1.11E-10	-8.70E-11	-2.86E-11	8.51E-12	-4.72E-11	-4.02E-11

$\beta_{ij}$	i=1	i=2	i=3	i=4	i=5	i=6
i=1	3.07E-11	-3.08E-11	-7.54E-11	-2.51E-11	-1.81E-11	-1.09E-11
i=2		2.30E-11	3.77E-11	4.00E-11	1.05E-11	1.49E-11
i=3			-8.61E-12	3.00E-11	3.29E-11	1.36E-11
i=4				-2.67E-11	8.86E-12	2.32E-11
i=5					3.93E-12	3.35E-12
i=6						3.18E-12

表 3: リーク電流解析式係数

$\beta_0$	$\beta_1$	$\beta_2$	$\beta_3$	$\beta_4$	$\beta_5$	$\beta_6$
6.17E-01	1.02E+01	-8.80E+00	-1.57E+01	-1.10E+01	-1.03E+00	-2.53E+00

$\beta_{ij}$	i=1	i=2	i=3	i=4	i=5	i=6
i=1	1.79E+01	3.06E+01	-3.77E+01	3.57E+01	-8.35E+00	1.31E+01
i=2		1.58E+01	-4.35E+01	3.37E+01	-3.37E+00	-5.51E-01
i=3			7.98E+01	-5.30E+01	-7.18E+00	-1.58E-01
i=4				5.55E+01	-3.79E+00	-1.37E+01
i=5					4.44E-01	-1.64E+00
i=6						3.85E+00

表 4: 遅延解析式係数 ( $V_{th}, L, T_{ox}$  個別)

$V_{th}$	$\beta_0$	$\beta_1$	$\beta_2$	$\beta_{11}$	$\beta_{22}$	$\beta_{12}$
	-6.42E-15	-1.86E-11	1.63E-11	3.01E-11	2.35E-11	-2.97E-11
L		$\beta_3$	$\beta_4$	$\beta_{33}$	$\beta_{44}$	$\beta_{34}$
	-5.27E-11	2.20E-11	4.04E-11	-9.73E-12	-2.53E-11	2.54E-11
$T_{ox}$		$\beta_5$	$\beta_6$	$\beta_{55}$	$\beta_{66}$	$\beta_{56}$
	-2.98E-12	-3.29E-12	-1.68E-12	2.87E-12	2.43E-12	2.65E-12

表 5: リーク電流解析式係数 ( $V_{th}, L, T_{ox}$  個別)

$V_{th}$	$\beta_0$	$\beta_1$	$\beta_2$	$\beta_{11}$	$\beta_{22}$	$\beta_{12}$
	2.26E-01	1.14E+01	-9.43E+00	3.21E+01	2.66E+01	4.37E+01
L		$\beta_3$	$\beta_4$	$\beta_{33}$	$\beta_{44}$	$\beta_{34}$
	1.42E-01	-1.88E+01	-1.34E+01	1.14E+02	8.34E+01	-9.11E+01
$T_{ox}$		$\beta_5$	$\beta_6$	$\beta_{55}$	$\beta_{66}$	$\beta_{56}$
	-6.36E-06	-1.60E+00	-2.29E+00	9.17E-01	6.33E+00	-3.64E+00

#### 3.3 解析式の精度

図3はSPICEシミュレーション結果と、表1表2で示した係数を用いて解析式から計算した結果を、遅延とリーク電流のそれぞれについて比較したものである。遅延とリーク電流の解析式の自由度修正済み決定係数(または、重回帰係数) R-Squaredは、それぞれ0.995と0.968であった。 $V_{th}$ ,  $L$ ,  $T_{ox}$  個別の係数、および後述の回路をNAND、NORとした場合においても、決定係数は0.95以上を示しており、ばらつきが遅延やリーク電流に与える傾向を解析する上でこれらのモデルは、十分利用できる精度となっている。

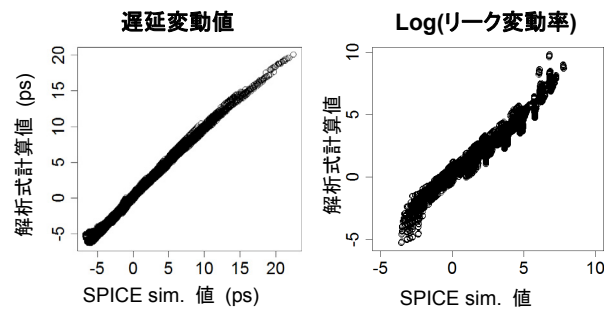


図 3: SPICE と解析式の結果の比較

## 4 リーク電流低減へのアプローチ

本章では、はじめにプロセス・パラメータがリーク電流に与える影響を明示する。次に、前章で導出した解析式を用いて、遅延が一定の時のリーク電流低減の条件を議論する。

### 4.1 プロセス・パラメータがリーク電流へ与える影響

図 4 にプロセス・パラメータが変動した時のリーク電流への影響を示す。横軸は表 1 に基づくパラメータの変動量を、縦軸はノミナル値 1 に対するリーク電流の変動率を表す。各パラメータの PMOS、NMOS トランジスタ間の相関は 1 を仮定した。結果からは、明らかに  $T_{ox}$  はリーク電流のばらつきに対して寄与が少ないことがわかる。

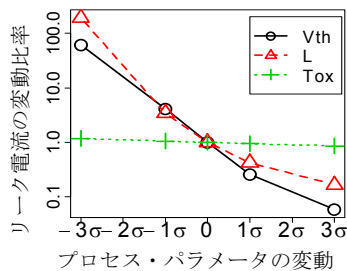


図 4: 各パラメータの変動によるリーク電流への影響

### 4.2 プロセスばらつきによる遅延とリーク電流の相関

表 1 のプロセスばらつきの条件に従って  $V_{th}$ ,  $L$ ,  $T_{ox}$  のパラメータがばらついた場合の、遅延とリーク電流の分布を図 5 に示す。横軸が遅延、縦軸が  $\log$  をとったリーク電流値に対応し、プロットされている点は試行回数 1 万回の SPICE によるモンテカルロ解析の結果である。その時の各パラメータは独立な正規分布であることを仮定している。図 5 からわかるように、遅延とリーク電流は 1 対 1 に対応しているわけではなく、遅延が一定でも様々なリーク電流値になる条件が存在する。このような幅を持つことは、実測値 [6] でもみられている。我々はこの関係に着目して、遅延が一定の時に、どういう条件で、リーク電流が変動するのかを解析した。

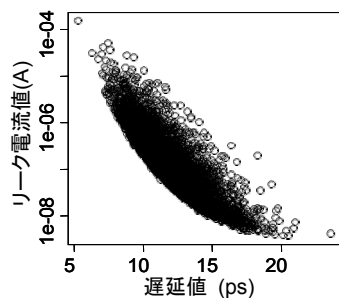


図 5: 遅延とリーク電流の相関図

### 4.3 解析式による遅延とリーク電流の評価

前章で得られた解析式を用いて、パラメータに対する遅延とリーク電流の関係と傾向を調査するために、NMOS, PMOS トランジスタの  $V_{th}$  ( $V_{th,P}, V_{th,N}$ ) を例にとる。解析式の係数は、表 4、表 5 の結果を用いる。2 次式のフィッティングであるため、 $V_{th,P}, V_{th,N}$  の 2 次元のパラメータ空間の中ではリーク電流と遅延値は楕円の分布を形成する。横軸に  $V_{th,P}$ 、縦軸に  $V_{th,N}$  をとり、遅延とリーク電流の分布を描いたものが図 6 の左図である。図 6 の右図に、 $L$  パラメータ ( $L_P, L_N$ ) について同様に作図したものを示す。図中の実線は遅延の等高線、太線はリーク電流の等高線を表しており、0 のラインが現状と値が変わらないパラメータの動きを表している。パラメータのノミナル値を遅延の等高線が 0 の線に沿って動かすことにより、遅延が一定のまま、リーク電流が変動する。今回のインバータの例では、初期値がリーク電流最小に近い条件であることがわかった。

図 2 のインバータを 2 入力 NOR、もしくは 2 入力 NAND に置き換えて、3 章で示した方法で解析式を求めて、同様にリーク電流と遅延の分布を求めた。図 7 に 2 入力 NOR と 2 入力 NAND の例も示す。図内の黒丸が遅延一定のままリーク電流を最小にするポイントである。

現在のパラメータのノミナル値 (0, 0) を、遅延一定のままリーク電流最小の位置に移動させることにより、同じプロセスばらつきであってもリーク電流が最小の近傍で分布するため、リーク電流のばらつきが低減されることが期待される。

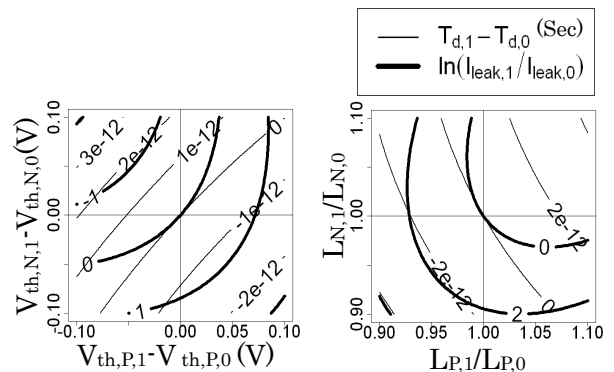


図 6: インバータのリーク電流と遅延の分布

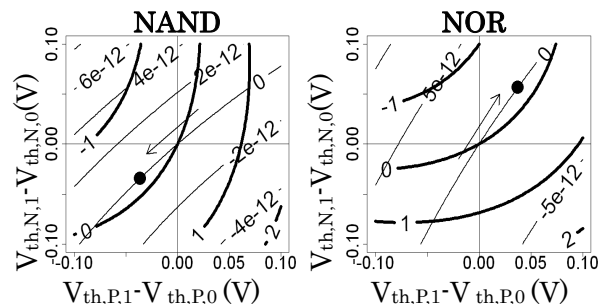


図 7: NAND と NOR のリーク電流と遅延の分布

#### 4.4 解析的なアプローチ

前節では、作図によって改善のポイントを調査した。解析的に解くには、ラグランジュの未定乗数法を用いる。例として、2変数の場合を示す。

リーク電流と遅延が次のように表されるとする。

$$\ln\left(\frac{I_{leak,1}}{I_{leak,0}}\right) = a_1x_1 + a_2x_2 + a_{11}x_1^2 + a_{22}x_2^2 + a_{12}x_1x_2 \quad (9)$$

$$T_{d,1} - T_{d,0} = b_1x_1 + b_2x_2 + b_{11}x_1^2 + b_{22}x_2^2 + b_{12}x_1x_2$$

$T_{d,1} - T_{d,0}$ が0のままで、リーク電流の極値は以下の2式の解になる。その解の中でリーク電流が小さいものが求める答えである。

$$\begin{aligned} & a_1b_2 - b_1a_2 \\ & + (a_1b_{12} + 2a_{11}b_2 - a_{12}b_1 - 2a_2b_{11})x_1 \\ & + (a_{12}b_2 + 2a_1b_{22} - a_2b_{12} - 2a_{22}b_1)x_2 \\ & + (2a_{11}b_{12} - 2a_{12}b_{11})x_1^2 \\ & + (2a_{12}b_{22} - 2a_{22}b_{12})x_2^2 \\ & + (4a_{11}b_{22} - 4a_{22}b_{11})x_1x_2 \\ & = 0 \end{aligned} \quad (10)$$

$$b_1x_1 + b_2x_2 + b_{11}x_1^2 + b_{22}x_2^2 + b_{12}x_1x_2 = 0 \quad (11)$$

前節のインバータの  $V_{th}$ ,  $L$  の場合はそれぞれ  $(V_{th,P}, V_{th,N}) = (0.003, 0.003)$ ,  $(L_P, L_N) = (0.995, 1.01)$  と小さい値であり、作図の結果と対応している。

### 5 遅延と電力に対する効果と提案

前章までに示した結果を使ったリーク電流低減効果を明示し、設計やプロセスへの応用例を提案する。

#### 5.1 2パラメータ間の遅延とリーク電流

本節では、遅延一定の条件で、PMOS、NMOS トランジスタのパラメータを変化させた場合の、遅延とリーク電流値の変動を示す。図8は、 $V_{th}$ ,  $L$ ,  $T_{ox}$ 各々について4.3節の方法に従いパラメータをシフトした後、図5のようにSPICEによるモンテカルロ解析を行い、結果を遅延とリーク電流値の累積分布として図示したものである。今回のインバータの例では、初期値がリーク電流最小に近いいため、変動をはっきり評価する目的で、リーク電流が増加する方向に変動させた。変動量はそれぞれ  $V_{th,N}$ を  $\pm 10mV$ ,  $\pm 50mV$ ,  $\pm 100mV$ ,  $L_N$ を  $\pm 1\%$ ,  $\pm 5\%$ ,  $\pm 10\%$ ,  $T_{ox,N}$ を  $\pm 2\%$ であり、NMOS側の値に応じてPMOSトランジスタの変動量を定めた。図からもわかるとおり、遅延の分布を変えずにリーク電流の分布が変わる。累積の90%の確率点でリーク電流が最大16倍変動している。

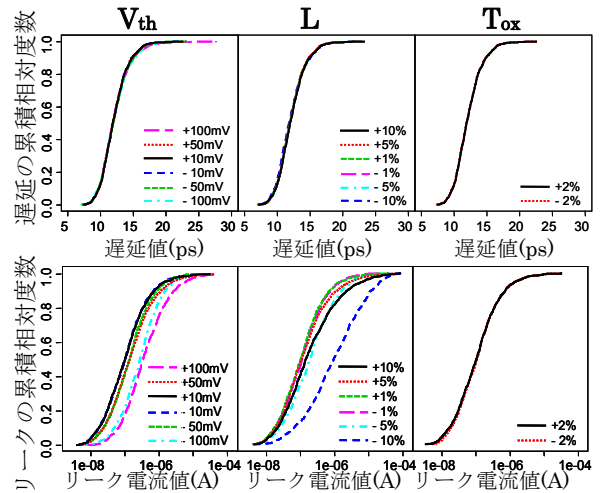


図8：遅延とリーク電流の累積分布

#### 5.2 全パラメータを用いた改善

図9は、今回の例の中で改善効果の高かった2入力NORについて、 $V_{th}$ ,  $L$ ,  $T_{ox}$ のP/N6パラメータすべてを用いて遅延一定のままリーク電流小のポイントを抽出して、SPICEによるモンテカルロ解析を行った結果である。図からも明らかのように、リーク電流値のばらつきが狭まっていることがわかる。90%の確率点で、リーク電流に対して49.7%の低減効果があった。

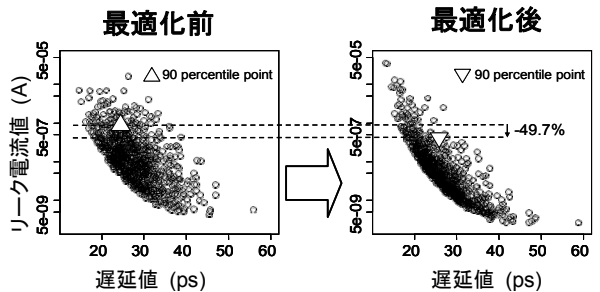


図9：リーク電流ばらつきの低減効果

#### 5.3 設計やプロセスへの応用

前節までに示したように、プロセスばらつきに対して遅延の変動を抑えたまま、リーク電流の中心値やばらつきを調整することは可能である。例えばセルごとに最適な  $L$  をそれぞれ見積もり、セルの設計やマクロの設計に利用できる。また、 $V_{th}$  に関しては、チップ内でリーク電流が支配的なセルに対して **Body Bias** コントロールや電源電圧コントロールやプロセス的な調整をすることが提案できる。本論文の手法は、遅延の変動を抑えてリーク電流を低減させることができるため、設計途中における変更にもインパクトが少ない。

本論文の結果を拡張し、解析式のパラメータをセルの  $W$  や  $V_{dd}$  へ適用させ、 $L, W, V_{dd}$  を含めた最適化を行うことも考えられる。加えて、例えば解析式をクリティカルパスの遅延式とチップ内で支配的なセルのリーク電流式から導出し最適化

するような、設計に応じたチューニング手法も、本論文の手法や考え方を基本として構築していくことができる。

## 6 まとめ

本論文では、リーク電流ばらつきを低減に着目した。前半では、遅延ばらつきとリーク電流ばらつきを解析・評価するための解析式を提案し、45nm テクノロジモデルを例に係数を導出した。次に、解析式を元にして遅延を一定にしながらリーク電流ばらつきを削減する方法を提案し、提案手法による実験を行った。実験結果から、本提案手法の有効性が確認され、リーク電流ばらつきコーナーが削減されることを示した。そして、本手法に対する設計やプロセスへの応用方法を示した。

## 参考文献

- [1] Kaushik Roy and Sharat Prasad, "Low Power CMOS VLSI: Circuit Design," John Wiley & Sons, Inc., 2000.
- [2] A. P. Chandrakasan and R. W. Brodersen, "Low power digital CMOS design", Kluwer Academic Publishers, 1995.
- [3] W. Nabel and J. Mermet, "Low power design in deep submicron electronics," Kluwer Academic Publishers, 1997.
- [4] U. Fasnacht, "A robust ASIC design and IP integration methodology for 65nm and beyond," ICCAD Workshop 2004.
- [5] K. Roy, S. Mukhopadhyay, and H. Mahmoodi-Meimand, "Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits," Proc. of the IEEE, vol. 91, no. 2, pp. 305–327, Feb. 2003.
- [6] H. F. Dadgour, S.-C. Lin, and K. Banerjee, "A statistical framework for estimation of full-chip leakage-power distribution under parameter variations," IEEE Trans. Electron Devices, vol. 54, no. 11, pp. 2930–2945, Nov. 2007.
- [7] T. Li, W. Zhang, and Z. Yu, "Full-chip leakage analysis in nano-scale technologies: Mechanisms, variation sources, and verification," in proc. DAC, pp. 594–599, 2008.
- [8] R. Rao, A. Srivastava, D. Blaauw, and D. Sylvester, "Statistical analysis of subthreshold leakage current for VLSI circuits," IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 12, no. 2, pp. 131–139, Feb. 2004.
- [9] Y. Ye, F. Liu, S. Nassif, and Yu Cao, "Statistical modeling and simulation of threshold variation under dopant fluctuations and line-edge roughness," in proc. DAC, pp. 900–905, 2008.
- [10] S. Mukhopadhyay, S. Bhunia, and K. Roy, "Modeling and analysis of loading effect on Leakage of nanoscaled bulk-CMOS logic circuits," IEEE Trans. CAD, vol. 25, no. 8, pp. 1486–1495, Aug. 2006.
- [11] J. C. Ku and Y. Ismail, "On the scaling of temperature-dependent effects," IEEE Trans. CAD, vol. 26, no. 10, pp. 1882–1888, Oct. 2007.
- [12] S. Borkar, T. Karnik, S. Narendra, and J. Tschanz, A. Keshavarzi, and V. De, "Parameter variation and impact on circuits," in Proc. DAC, pp. 338–342, 2003.
- [13] E. Acar, K. Agarwal, and S. R. Nassif, "Characterization of total chip leakage using inverse (reciprocal) Gamma distribution," in Proc. ISCAS, pp.3029-3032, 2006.
- [14] R. R. Rao, A. Devgan, D. Blaauw, and D. Sylvester, "Analytical yield prediction considering leakage/performance correlation," IEEE Trans. CAD, vol. 25, no. 9, pp. 1685–1695, Sep. 2006.
- [15] S. Bhardwaj and S. B. K. Vrudhula, "Leakage minimization of digital circuits using gate sizing in the presence of process variations," IEEE Trans. CAD, vol. 27, no. 3, pp. 445–455, Mar. 2008.
- [16] N. Verma, J. Kwong, and A. P. Chandrakasan, "Nanometer MOSFET variation in minimum energy subthreshold circuits," IEEE Trans. Electron Devices, vol. 55, no. 1, pp. 163–174, Jan. 2008.
- [17] D. Helms and W. Nebel, "Logic design techniques for 65 to 45nm and below for reducing total energy and solving technology variations problems," in Proc. ICECS, pp. 919–922, 2007.
- [18] R. Jaramillo-Ramirez, J. Jaffari, and M. Anis, "Variability-aware design of subthreshold devices," in Proc. ISCAS, pp. 1196–1199, 2008.
- [19] J. Jaffari and M. Anis, "Variability-Aware Bulk-MOS Device Design," IEEE Trans. CAD, vol. 27, no. 2, pp. 205–216, Feb. 2008.
- [20] T. Sakurai and A. R. Newton, "Alpha-power law MOSFET model and its applications to CMOS inverter delay and other formulas," IEEE J. Solid-State Circuits, vol. 25, pp. 584–594, Apr. 1990.
- [21] BSIM4, UC Berkeley, [online]. Available: <http://www-device.eecs.berkeley.edu/~bsim3/bsim4.html>
- [22] International Technology Roadmap for Semiconductors (ITRS), 2007 Edition, [online]. Available: <http://www.itrs.net/>
- [23] Predictive Technology Model (PTM), [online]. Available: <http://www.eas.asu.edu/~ptm/>